

PCT/JP 99/00864
24.02.99

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

REC'D 16 APR 1999
WIPO PCT

09/403543

JP 99/00864

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

#4/PD
Bro
3/18/00

出願年月日
Date of Application:

1998年 3月 2日

出願番号
Application Number:

平成10年特許願第049883号

出願人
Applicant(s):

セイコーエプソン株式会社

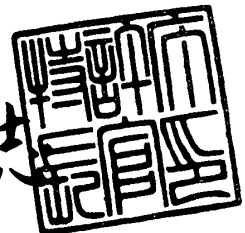
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

1999年 4月 2日

特許庁長官
Commissioner,
Patent Office

山佐建



出証番号 出証特平11-30195

【書類名】 特許願

【整理番号】 POS60561

【提出日】 平成10年 3月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 1/00

【発明の名称】 3次元デバイス

【請求項の数】 20

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 下田 達也

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 井上 聡

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代表者】 安川 英昭

【代理人】

【識別番号】 100093388

【弁理士】

【氏名又は名称】 鈴木 喜三郎

【連絡先】 03-3348-8531 内線2610-2615

【選任した代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 3次元デバイス

【特許請求の範囲】

【請求項1】 2次元方向の所定の領域内に配置される薄膜デバイス層をその厚さ方向に複数積層してなる3次元デバイスであって、

前記各薄膜デバイス層のうちの少なくとも1つが、転写法により積層したものであることを特徴とする3次元デバイス。

【請求項2】 基体上に、2次元方向に広がる所定の領域内で回路を構成する薄膜デバイス層をその厚さ方向に複数積層して3次元方向の回路を構成する3次元デバイスであって、

前記各薄膜デバイス層のうちの少なくとも1つが、転写法により積層したものであることを特徴とする3次元デバイス。

【請求項3】 前記転写法は、元基板上に分離層を介して薄膜デバイス層を形成した後、前記分離層に照射光を照射して、前記分離層の層内および／または界面において剥離を生ぜしめ、前記元基板上の薄膜デバイス層を3次元デバイスの基板側へ転写するものである請求項1または2に記載の3次元デバイス。

【請求項4】 前記分離層の剥離は、分離層を構成する物質の原子間または分子間の結合力が消失または減少することにより生じる請求項3に記載の3次元デバイス。

【請求項5】 前記分離層の剥離は、分離層を構成する物質から気体が発生することにより生じる請求項3に記載の3次元デバイス。

【請求項6】 前記照射光は、レーザ光である請求項3ないし5のいずれかに記載の3次元デバイス。

【請求項7】 前記分離層は、非晶質シリコン、セラミックス、金属または有機高分子材料で構成されている請求項3ないし6のいずれかに記載の3次元デバイス。

【請求項8】 前記薄膜デバイス層は、接続電極を有し、該接続電極により、隣接する前記薄膜デバイス層同士が電氣的に接続されている請求項1ないし7のいずれかに記載の3次元デバイス。

【請求項9】 前記接続電極は、前記薄膜デバイス層の両面に存在する請求項8に記載の3次元デバイス。

【請求項10】 異方性導電膜を介して隣接する前記薄膜デバイス層同士が接合されている請求項8または9に記載の3次元デバイス。

【請求項11】 前記各薄膜デバイス層のうちの対応する2層において、一方の層は、発光部を有し、他方の層は、前記発光部からの光を受光する受光部を有し、これら発光部および受光部により、前記2層間で光による通信が可能となるよう構成されている請求項1ないし7のいずれかに記載の3次元デバイス。

【請求項12】 前記転写して積層される薄膜デバイス層は、他の薄膜デバイス層のうちの少なくとも1つと同時に製造されたものである請求項1ないし11のいずれかに記載の3次元デバイス。

【請求項13】 前記各薄膜デバイス層のうちの少なくとも1つは、複数の薄膜トランジスタを有する請求項1ないし12のいずれかに記載の3次元デバイス。

【請求項14】 前記各薄膜デバイス層のうちの少なくとも1つは、メモリセルアレイを構成するものである請求項1ないし13のいずれかに記載の3次元デバイス。

【請求項15】 前記各薄膜デバイス層のうちの複数の層により、1つのメモリが構成されている請求項1ないし14のいずれかに記載の3次元デバイス。

【請求項16】 前記各薄膜デバイス層のうちの少なくとも1つは、メモリセルアレイを構成するものであり、他の薄膜デバイス層のうちの少なくとも1つは、ロジック回路を構成するものである請求項1ないし13のいずれかに記載の3次元デバイス。

【請求項17】 前記ロジック回路により、前記メモリセルアレイを駆動するよう構成されている請求項16に記載の3次元デバイス。

【請求項18】 前記ロジック回路と前記メモリセルアレイは、異なるデザインルールで形成したものである請求項16または17に記載の3次元デバイス。

【請求項 19】 前記ロジック回路と前記メモリセルアレイは、異なるデザインパラメータで形成したものである請求項 16 または 17 に記載の 3 次元デバイス。

【請求項 20】 前記ロジック回路と前記メモリセルアレイは、異なる製造プロセスで形成したものである請求項 16 または 17 に記載の 3 次元デバイス。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、3 次元デバイスに関するものである。

【0002】

【従来の技術】

従来の 3 次元 IC 等の 3 次元デバイスは、下記のようにして製造される。まず、Si 基板上に、電界効果トランジスタ (FET) 等を含む第 1 層を多数工程を経て形成する。次いで、この第 1 層上に、同様の第 2 層を形成する。以下、同様にして、第 3 層以降を形成する。

【0003】

しかしながら、従来の 3 次元デバイスでは、同一基板上に各層を順次重ねてゆくようにして形成するので、上層の形成は、下層に悪影響を与えないようにしなければならない。製造の際、種々の制約（例えば、下層が変質しないような温度の上限等）を受ける。

【0004】

また、異なる層を積層してなる 3 次元デバイスの場合、各層に適したデバイスパラメータ（例えば、ゲート線幅、ゲート絶縁膜の膜厚、デザインルール、製造時の温度等の製造条件）で形成するのは、非常に難しい。

【0005】

また、従来の 3 次元デバイスでは、デバイスを構成する基板上に各層を形成するので、用いる基板は、デバイスの基板としての適合性と、各層を形成するときの基板としての適合性とを兼ね備えていなければならない。このため、特定の基板しか使用することができず、不利であった。

【0006】

このような理由から、3次元IC等の3次元デバイスの実用化は、未だなされていない。

【0007】

【発明が解決しようとする課題】

本発明の目的は、薄膜デバイス層の形成条件の自由度が広く、容易に製造することができる高性能の3次元デバイスを提供することにある。

【0008】

【課題を解決するための手段】

このような目的は、下記(1)～(20)の本発明により達成される。

【0009】

(1) 2次元方向の所定の領域内に配置される薄膜デバイス層をその厚さ方向に複数積層してなる3次元デバイスであって、

前記各薄膜デバイス層のうちの少なくとも1つが、転写法により積層したものであることを特徴とする3次元デバイス。

【0010】

(2) 基体上に、2次元方向に広がる所定の領域内で回路を構成する薄膜デバイス層をその厚さ方向に複数積層して3次元方向の回路を構成する3次元デバイスであって、

前記各薄膜デバイス層のうちの少なくとも1つが、転写法により積層したものであることを特徴とする3次元デバイス。

【0011】

(3) 前記転写法は、元基板上に分離層を介して薄膜デバイス層を形成した後、前記分離層に照射光を照射して、前記分離層の層内および／または界面において剥離を生ぜしめ、前記元基板上の薄膜デバイス層を3次元デバイスの基板側へ転写するものである上記(1)または(2)に記載の3次元デバイス。

【0012】

(4) 前記分離層の剥離は、分離層を構成する物質の原子間または分子間の結合力が消失または減少することにより生じる上記(3)に記載の3次元デバイ

ス。

【0013】

(5) 前記分離層の剥離は、分離層を構成する物質から気体が発生することにより生じる上記(3)に記載の3次元デバイス。

【0014】

(6) 前記照射光は、レーザ光である上記(3)ないし(5)のいずれかに記載の3次元デバイス。

【0015】

(7) 前記分離層は、非晶質シリコン、セラミックス、金属または有機高分子材料で構成されている上記(3)ないし(6)のいずれかに記載の3次元デバイス。

【0016】

(8) 前記薄膜デバイス層は、接続電極を有し、該接続電極により、隣接する前記薄膜デバイス層同士が電氣的に接続されている上記(1)ないし(7)のいずれかに記載の3次元デバイス。

【0017】

(9) 前記接続電極は、前記薄膜デバイス層の両面に存在する上記(8)に記載の3次元デバイス。

【0018】

(10) 異方性導電膜を介して隣接する前記薄膜デバイス層同士が接合されている上記(8)または(9)に記載の3次元デバイス。

【0019】

(11) 前記各薄膜デバイス層のうちの対応する2層において、一方の層は、発光部を有し、他方の層は、前記発光部からの光を受光する受光部を有し、これら発光部および受光部により、前記2層間で光による通信が可能となるよう構成されている上記(1)ないし(7)のいずれかに記載の3次元デバイス。

【0020】

(12) 前記転写して積層される薄膜デバイス層は、他の薄膜デバイス層のうちの少なくとも1つと同時に製造されたものである上記(1)ないし(11)のい

ずれかに記載の3次元デバイス。

【0021】

(13) 前記各薄膜デバイス層のうちの少なくとも1つは、複数の薄膜トランジスタを有する上記(1)ないし(12)のいずれかに記載の3次元デバイス。

【0022】

(14) 前記各薄膜デバイス層のうちの少なくとも1つは、メモリセルアレイを構成するものである上記(1)ないし(13)のいずれかに記載の3次元デバイス。

【0023】

(15) 前記各薄膜デバイス層のうちの複数の層により、1つのメモリが構成されている上記(1)ないし(14)のいずれかに記載の3次元デバイス。

【0024】

(16) 前記各薄膜デバイス層のうちの少なくとも1つは、メモリセルアレイを構成するものであり、他の薄膜デバイス層のうちの少なくとも1つは、ロジック回路を構成するものである上記(1)ないし(13)のいずれかに記載の3次元デバイス。

【0025】

(17) 前記ロジック回路により、前記メモリセルアレイを駆動するよう構成されている上記(16)に記載の3次元デバイス。

【0026】

(18) 前記ロジック回路と前記メモリセルアレイは、異なるデザインルールで形成したものである上記(16)または(17)に記載の3次元デバイス。

【0027】

(19) 前記ロジック回路と前記メモリセルアレイは、異なるデザインパラメータで形成したものである上記(16)または(17)に記載の3次元デバイス。

【0028】

(20) 前記ロジック回路と前記メモリセルアレイは、異なる製造プロセスで形成したものである上記(16)または(17)に記載の3次元デバイス。

【0029】

【発明の実施の形態】

以下、本発明の3次元デバイスを添付図面に示す好適実施例に基づいて詳細に説明する。

【0030】

本発明では、後述する「薄膜構造の転写方法（転写技術）」を用いて複数の層を積層し、3次元デバイス（例えば、3次元IC等）を製造する。すなわち、本発明の3次元デバイスは、後述する「薄膜構造の転写方法」を用いて複数の層をその厚さ方向に積層してなる3次元デバイスである。まず、前記「薄膜構造の転写方法」を説明する。

【0031】

図1～図8は、それぞれ、本発明における薄膜構造の転写方法の実施例の工程を模式的に示す断面図である。以下、これらの図に基づいて、薄膜構造の転写方法（剥離方法）の工程を順次説明する。

【0032】

<1> 図1に示すように、基板1の片面（分離層形成面11）に、分離層（光吸収層）2を形成する。

【0033】

基板1は、基板1側から照射光7を照射する場合、その照射光7が透過し得る透光性を有するものであるのが好ましい。

【0034】

この場合、照射光7の透過率は、10%以上であるのが好ましく、50%以上であるのがより好ましい。この透過率が低過ぎると、照射光7の減衰（ロス）が大きくなり、分離層2を剥離するのにより大きな光量を必要とする。

【0035】

また、基板1は、信頼性の高い材料で構成されているのが好ましく、特に、耐熱性に優れた材料で構成されているのが好ましい。その理由は、例えば後述する被転写層4や中間層3を形成する際に、その種類や形成方法によってはプロセス温度が高くなる（例えば350～1000℃程度）ことがあるが、その場合でも

、基板 1 が耐熱性に優れていれば、基板 1 上への被転写層 4 等の形成に際し、その温度条件等の成膜条件の設定の幅が広がるからである。

【0036】

従って、基板 1 は、被転写層 4 の形成の際の最高温度を T_{\max} としたとき、歪点が T_{\max} 以上の材料で構成されているものが好ましい。具体的には、基板 1 の構成材料は、歪点が 350°C 以上のものが好ましく、 500°C 以上のものがより好ましい。このようなものとしては、例えば、石英ガラス、ソーダガラス、コーニング 7059、日本電気ガラス OA-2 等の耐熱性ガラスが挙げられる。

【0037】

なお、後述する分離層 2、中間層 3 および被転写層 4 の形成の際のプロセス温度を低くするのであれば、基板 1 についても、融点の低い安価なガラス材や合成樹脂を用いることができる。

【0038】

また、基板 1 の厚さは、特に限定されないが、通常は、 $0.1 \sim 5.0 \text{ mm}$ 程度であるのが好ましく、 $0.5 \sim 1.5 \text{ mm}$ 程度であるのがより好ましい。基板 1 の厚さが薄過ぎると強度の低下を招き、厚過ぎると、基板 1 の透過率が低い場合に、照射光 7 の減衰を生じ易くなる。なお、基板 1 の照射光 7 の透過率が高い場合には、その厚さは、前記上限値を超えるものであってもよい。

【0039】

なお、照射光 7 を均一に照射できるように、基板 1 の分離層形成部分の厚さは、均一であるのが好ましい。

【0040】

また、基板 1 の分離層形成面 11 や、照射光入射面 12 は、図示のごとき平面に限らず、曲面であってもよい。

【0041】

本発明では、基板 1 をエッチング等により除去するのではなく、基板 1 と被転写層 4 との間にある分離層 2 を剥離して基板 1 を離脱させるため、作業が容易であるとともに、例えば比較的厚さの厚い基板を用いる等、基板 1 に関する選択の幅も広い。

【0042】

次に、分離層 2 について説明する。

【0043】

分離層 2 は、後述する照射光 7 を吸収し、その層内および／または界面 2 a または 2 b において剥離（以下、「層内剥離」、「界面剥離」と言う）を生じるような性質を有するものであり、好ましくは、照射光 7 の照射により、分離層 2 を構成する物質の原子間または分子間の結合力が消失または減少すること、換言すれば、アブレーションを生ぜしめることにより層内剥離および／または界面剥離に至るものである。

【0044】

さらに、照射光 7 の照射により、分離層 2 から気体が放出され、分離効果が発現される場合もある。すなわち、分離層 2 に含有されていた成分が気体となって放出される場合と、分離層 2 が光を吸収して一瞬気体になり、その蒸気が放出され、分離に寄与する場合とがある。

【0045】

このような分離層 2 の組成としては、例えば次のようなものが挙げられる。

【0046】

① 非晶質シリコン (a-Si)

この非晶質シリコン中には、H（水素）が含有されていてもよい。この場合、H の含有量は、2 at% 以上程度であるのが好ましく、2～20 at% 程度であるのがより好ましい。このように、H が所定量含有されていると、照射光 7 の照射により、水素が放出され、分離層 2 に内圧が発生し、それが上下の薄膜を剥離する力となる。

【0047】

非晶質シリコン中の H の含有量は、成膜条件、例えば CVD におけるガス組成、ガス圧、ガス雰囲気、ガス流量、温度、基板温度、投入パワー等の条件を適宜設定することにより調整することができる。

【0048】

② 酸化ケイ素またはケイ酸化合物、酸化チタンまたはチタン酸化合物、酸化ジ

ルコニウムまたはジルコン酸化合物、酸化ランタンまたはランタン酸化合物等の各種酸化物セラミックス、誘電体（強誘電体）あるいは半導体

酸化ケイ素としては、 SiO 、 SiO_2 、 Si_3O_2 が挙げられ、ケイ酸化合物としては、例えば K_2SiO_3 、 Li_2SiO_3 、 CaSiO_3 、 ZrSiO_4 、 Na_2SiO_3 が挙げられる。

【0049】

酸化チタンとしては、 TiO 、 Ti_2O_3 、 TiO_2 が挙げられ、チタン酸化合物としては、例えば、 BaTiO_4 、 BaTiO_3 、 $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 、 $\text{BaTi}_5\text{O}_{11}$ 、 CaTiO_3 、 SrTiO_3 、 PbTiO_3 、 MgTiO_3 、 ZrTiO_2 、 SnTiO_4 、 Al_2TiO_5 、 FeTiO_3 が挙げられる。

【0050】

酸化ジルコニウムとしては、 ZrO_2 が挙げられ、ジルコン酸化合物としては、例えば BaZrO_3 、 ZrSiO_4 、 PbZrO_3 、 MgZrO_3 、 K_2ZrO_3 が挙げられる。

【0051】

③ PZT、PLZT、PLLZT、PBZT等のセラミックスあるいは誘電体（強誘電体）

④ 窒化珪素、窒化アルミ、窒化チタン等の窒化物セラミックス

⑤ 有機高分子材料

有機高分子材料としては、 $-\text{CH}_2-$ 、 $-\text{CO}-$ （ケトン）、 $-\text{CONH}-$ （アミド）、 $-\text{NH}-$ （イミド）、 $-\text{COO}-$ （エステル）、 $-\text{N}=\text{N}-$ （アゾ）、 $-\text{CH}=\text{N}-$ （シフ）等の結合（照射光7の照射によりこれらの結合が切断される）を有するもの、特にこれらの結合を多く有するものであればいかなるものでもよい。また、有機高分子材料は、構成式中に芳香族炭化水素（1または2以上のベンゼン環またはその縮合環）を有するものであってもよい。

【0052】

このような有機高分子材料の具体的例としては、ポリエチレン、ポリプロピレンのようなポリオレフィン、ポリイミド、ポリアミド、ポリエステル、ポリメチ

ルメタクリレート (PMMA)、ポリフェニレンサルファイド (PPS)、ポリエーテルスルホン (PES)、エポキシ樹脂等が挙げられる。

【0053】

⑥ 金属

金属としては、例えば、Al、Li、Ti、Mn、In、Sn、Smまたはこれらのうちの少なくとも1種を含む合金が挙げられる。

【0054】

また、分離層2の厚さは、剥離目的や分離層2の組成、層構成、形成方法等の諸条件により異なるが、通常は、1nm～20μm程度であるのが好ましく、10nm～2μm程度であるのがより好ましく、40nm～1μm程度であるのがさらに好ましい。

【0055】

分離層2の膜厚が小さすぎると、成膜の均一性が損なわれ、剥離にムラが生じることがあり、また、膜厚が厚すぎると、分離層2の良好な剥離性を確保するために、照射光7のパワー（光量）を大きくする必要があるとともに、後に分離層2を除去する際にその作業に時間がかかる。なお、分離層2の膜厚は、できるだけ均一であるのが好ましい。

【0056】

分離層2の形成方法は、特に限定されず、膜組成や膜厚等の諸条件に応じて適宜選択される。例えば、CVD (MOCVD、低圧CVD、ECR-CVDを含む)、蒸着、分子線蒸着 (MB)、スパッタリング、イオンプレーティング、PVD等の各種気相成膜法、電気メッキ、浸漬メッキ (ディッピング)、無電解メッキ等の各種メッキ法、ラングミュア・プロジェクト (LB) 法、スピンコート、スプレーコート、ロールコート等の塗布法、各種印刷法、転写法、インクジェット法、粉末ジェット法等が挙げられ、これらのうちの2以上を組み合わせで形成することもできる。

【0057】

例えば、分離層2の組成が非晶質シリコン (a-Si) の場合には、CVD、特に低圧CVDやプラズマCVDにより成膜するのが好ましい。

【0058】

また、分離層2をゾルーゲル法によるセラミックスで構成する場合や、有機高分子材料で構成する場合には、塗布法、特にスピコートにより成膜するのが好ましい。

【0059】

また、分離層2の形成は、2工程以上の工程（例えば、層の形成工程と熱処理工程）で行われてもよい。

【0060】

このような分離層2は、2以上の層で構成されてもよい。この場合、前記2以上の層の組成または特性は、同一であってもよく、また、異なってもよい。

【0061】

<2> 図2に示すように、分離層2の上に中間層（下地層）3を形成する。

【0062】

この中間層3は、種々の形成目的で形成され、例えば、製造時または使用時において後述する被転写層4を物理的または化学的に保護する保護層、絶縁層、導電層、照射光7の遮光層、被転写層4へのまたは被転写層4からの成分の移行（マイグレーション）を阻止するバリア層、反射層としての機能の内の少なくとも1つを発揮するものが挙げられる。

【0063】

この中間層3の組成としては、その形成目的に応じて適宜設定され、例えば、非晶質シリコンによる分離層2と薄膜トランジスタ（TFT）による被転写層4との間に形成される中間層3の場合には、 SiO_2 等の酸化ケイ素が挙げられ、分離層2とPZTによる被転写層4との間に形成される中間層3の場合には、例えば、Pt、Au、W、Ta、Mo、Al、Cr、Tiまたはこれらを主とする合金のような金属が挙げられる。

【0064】

このような中間層3の厚さは、その形成目的や発揮し得る機能の程度に応じて適宜決定されるが、通常は、 $10\text{nm} \sim 5\mu\text{m}$ 程度であるのが好ましく、 $40\text{nm} \sim 1\mu\text{m}$ 程度であるのがより好ましい。

【0065】

また、中間層 3 の形成方法も、前記分離層 2 で挙げた形成方法と同様の方法が挙げられる。また、中間層 3 の形成は、2 工程以上の工程で行われてもよい。

【0066】

なお、このような中間層 3 は、同一または異なる組成のものを 2 層以上形成することもできる。また、本発明では、中間層 3 を形成せず、分離層 2 上に直接被転写層 4 を形成してもよい。

【0067】

<3> 図 3 に示すように、中間層 3 の上に被転写層（被剥離物）4 を形成する。

【0068】

被転写層 4 は、後述する転写体 6 へ転写される層であって、前記分離層 2 で挙げた形成方法と同様の方法により形成することができる。

【0069】

被転写層 4 の形成目的、種類、形態、構造、組成、物理的または化学的特性等は、特に限定されないが、転写の目的や有用性を考慮して、薄膜、特に機能性薄膜または薄膜デバイスであるのが好ましい。

【0070】

機能性薄膜および薄膜デバイスとしては、例えば、薄膜トランジスタ（TFT）、薄膜ダイオード、その他の薄膜半導体デバイス、電極（例：ITO、メサ膜のような透明電極）、太陽電池やイメージセンサ等に用いられる光電変換素子、スイッチング素子、メモリー、圧電素子等のアクチュエータ、マイクロミラー（ピエゾ薄膜セラミックス）、磁気記録媒体、光磁気記録媒体、光記録媒体等の記録媒体、磁気記録薄膜ヘッド、コイル、インダクター、薄膜高透磁材料およびそれらを組み合わせたマイクロ磁気デバイス、フィルター、反射膜、ダイクロイックミラー、偏光素子等の光学薄膜、半導体薄膜、超伝導薄膜（例：YBCO 薄膜）、磁性薄膜、金属多層薄膜、金属セラミック多層薄膜、金属半導体多層薄膜、セラミック半導体多層薄膜、有機薄膜と他の物質の多層薄膜等が挙げられる。

【0071】

このなかでも、特に、薄膜デバイス、マイクロ磁気デバイス、マイクロ三次元構造物の構成、アクチュエータ、マイクロミラー等に適用することの有用性が高く、好ましい。

【0072】

このような機能性薄膜または薄膜デバイスは、その形成方法との関係で、通常、比較的高いプロセス温度を経て形成される。従って、この場合、前述したように、基板1としては、そのプロセス温度に耐え得る信頼性の高いものが必要となる。

【0073】

なお、被転写層4は、単層でも、複数の層の積層体でもよい。さらには、前記薄膜トランジスタ等のように、所定のパターンニングが施されたものであってもよい。被転写層4の形成（積層）、パターンニングは、それに応じた所定の方法により行われる。このような被転写層4は、通常、複数の工程を経て形成される。

【0074】

薄膜トランジスタによる被転写層4の形成は、例えば、特公平2-50630号公報や、文献：H.Ohshima et al : International Symposium Digest of Technical Papers SID 1983 " B/W and Color LC Video Display Addressed by Poly Si TFTs" に記載された方法に従って行うことができる。

【0075】

また、被転写層4の厚さも特に限定されず、その形成目的、機能、組成、特性等の諸条件に応じて適宜設定される。被転写層4が薄膜トランジスタの場合、その合計厚さは、好ましくは0.5～200 μm 程度、より好ましくは1.0～10 μm 程度とされる。また、その他の薄膜の場合、好適な合計厚さは、さらに広い範囲でよく、例えば50nm～1000 μm 程度とすることができる。

【0076】

なお、被転写層4は、前述したような薄膜に限定されず、例えば、塗布膜やシートのような厚膜であってもよい。

【0077】

＜4＞ 図4に示すように、被転写層（被剥離物）4上に接着層5を形成し、該接着層5を介して転写体6を接着（接合）する。

【0078】

接着層5を構成する接着剤の好適な例としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気硬化型接着剤等の各種硬化型接着剤が挙げられる。接着剤の組成としては、例えば、エポキシ系、アクリレート系、シリコン系等、いかなるものでもよい。このような接着層5の形成は、例えば、塗布法によりなされる。

【0079】

前記硬化型接着剤を用いる場合、例えば被転写層4上に硬化型接着剤を塗布し、その上に後述する転写体6を接合した後、硬化型接着剤の特性に応じた硬化方法により前記硬化型接着剤を硬化させて、被転写層4と転写体6とを接着、固定する。

【0080】

光硬化型接着剤を用いる場合は、透光性の転写体6を未硬化の接着層5上に配置した後、転写体6上から硬化用の光を照射して接着剤を硬化させることが好ましい。また、基板1が透光性を有するものであれば、基板1と転写体6の両側から硬化用の光を照射して接着剤を硬化させれば、硬化が確実となり好ましい。

【0081】

なお、図示と異なり、転写体6側に接着層5を形成し、その上に被転写層4を接着してもよい。また、被転写層4と接着層5との間に、前述したような中間層を設けてもよい。また、例えば転写体6自体が接着機能を有する場合等には、接着層5の形成を省略してもよい。

【0082】

転写体6としては、特に限定されないが、基板（板材）、特に透明基板が挙げられる。なお、このような基板は、平板であっても、湾曲板であってもよい。

【0083】

また、転写体6は、前記基板1に比べ、耐熱性、耐食性等の特性が劣るもので

あってもよい。その理由は、本発明では、基板 1 側に被転写層 4 を形成し、その後、該被転写層 4 を転写体 6 に転写するため、転写体 6 に要求される特性、特に耐熱性は、被転写層 4 の形成の際の温度条件等に依存しないからである。

【0084】

従って、被転写層 4 の形成の際の最高温度を T_{\max} としたとき、転写体 6 の構成材料として、ガラス転移点 (T_g) または軟化点が T_{\max} 以下のものを用いることができる。例えば、転写体 6 は、ガラス転移点 (T_g) または軟化点が好ましくは 800°C 以下、より好ましくは 500°C 以下、さらに好ましくは 320°C 以下の材料で構成することができる。

【0085】

また、転写体 6 の機械的特性としては、ある程度の剛性（強度）を有するものが好ましいが、可撓性、弾性を有するものであってもよい。

【0086】

このような転写体 6 の構成材料としては、各種合成樹脂または各種ガラス材が挙げられ、特に、各種合成樹脂や通常の（低融点の）安価なガラス材が好ましい。

【0087】

合成樹脂としては、熱可塑性樹脂、熱硬化性樹脂のいずれでもよく、例えば、ポリエチレン、ポリプロピレン、エチレン-プロピレン共重合体、エチレン-酢酸ビニル共重合体（EVA）等のポリオレフィン、環状ポリオレフィン、変性ポリオレフィン、ポリ塩化ビニル、ポリ塩化ビニリデン、ポリスチレン、ポリアミド、ポリイミド、ポリアミドイミド、ポリカーボネート、ポリ（4-メチルペンテン-1）、アイオノマー、アクリル系樹脂、ポリメチルメタクリレート（PMMA）、アクリロニトリル-ブタジエンスチレン共重合体（ABS樹脂）、アクリロニトリル-スチレン共重合体（AS樹脂）、ブタジエンスチレン共重合体、ポリオキシメチレン、ポリビニルアルコール（PVA）、エチレン-ビニルアルコール共重合体（EVOH）、ポリエチレンテレフタレート（PET）、ポリブチレンテレフタレート（PBT）、ポリシクロヘキサントレフタレート（PCT）等のポリエステル、ポリエーテル、ポリエーテルケトン（PEK）、ポ

リエーテルエーテルケトン (PEEK)、ポリエーテルイミド、ポリアセタール (POM)、ポリフェニレンオキシド、変性ポリフェニレンオキシド、ポリサルフォン、ポリフェニレンサルファイド (PPS)、ポリエーテルスルホン (PES)、ポリアリレート、芳香族ポリエステル (液晶ポリマー)、ポリテトラフルオロエチレン、ポリフッ化ビニリデン、その他フッ素系樹脂、スチレン系、ポリオレフィン系、ポリ塩化ビニル系、ポリウレタン系、ポリエステル系、ポリアミド系、ポリブタジエン系、トランスポリイソブレン系、フッ素ゴム系、塩素化ポリエチレン系等の各種熱可塑性エラストマー、エポキシ樹脂、フェノール樹脂、ユリア樹脂、メラミン樹脂、不飽和ポリエステル、シリコーン樹脂、ポリウレタン等、またはこれらを主とする共重合体、ブレンド体、ポリマーアロイ等が挙げられ、これらのうちの1種または2種以上を組み合わせる (例えば2層以上の積層体として) 用いることができる。

【0088】

ガラス材としては、例えば、ケイ酸ガラス (石英ガラス)、ケイ酸アルカリガラス、ソーダ石灰ガラス、カリ石灰ガラス、鉛 (アルカリ) ガラス、バリウムガラス、ホウケイ酸ガラス等が挙げられる。このうち、ケイ酸ガラス以外のものは、ケイ酸ガラスに比べて融点が低く、また、成形、加工も比較的容易であり、しかも安価であり、好ましい。

【0089】

転写体6として合成樹脂で構成されたものを用いる場合には、大型の転写体6を一体的に成形することができるとともに、湾曲面や凹凸を有するもの等の複雑な形状であっても容易に製造することができ、また、材料コスト、製造コストも安価であるという種々の利点が享受できる。従って、大型で安価なデバイス (例えば、液晶ディスプレイ) を容易に製造することができるようになる。

【0090】

なお、転写体6は、例えば、液晶セルのように、それ自体独立したデバイスを構成するものや、例えばカラーフィルター、電極層、誘電体層、絶縁層、半導体素子のように、デバイスの一部を構成するものであってもよい。

【0091】

さらに、転写体6は、金属、セラミックス、石材、木材、紙等の物質であってもよいし、ある品物を構成する任意の面上（時計の面上、エアコンの表面上、プリント基板の上等）、さらには壁、柱、梁、天井、窓ガラス等の構造物の表面上であってもよい。

【0092】

〈5〉 図5に示すように、基板1の裏面側（照射光入射面12側）から照射光7を照射する。この照射光7は、基板1を透過した後、界面2a側から分離層2に照射される。これにより、図6または図7に示すように、分離層2に層内剥離および／または界面剥離が生じ、結合力が減少または消滅するので、基板1と転写体6とを離間させると、被転写層4が基板1から離脱して、転写体6へ転写される。

【0093】

なお、図6は、分離層2に層内剥離が生じた場合を示し、図7は、分離層2に界面2aでの界面剥離が生じた場合を示す。分離層2の層内剥離および／または界面剥離が生じる原理は、分離層2の構成材料にアブレーションが生じること、また、分離層2内に内蔵しているガスの放出、さらには照射直後に生じる溶融、蒸散等の相変化によるものであることが推定される。

【0094】

ここで、アブレーションとは、照射光を吸収した固体材料（分離層2の構成材料）が光化学的または熱的に励起され、その表面や内部の原子または分子の結合が切断されて放出することを言い、主に、分離層2の構成材料の全部または一部が溶融、蒸散（気化）等の相変化を生じる現象として現れる。また、前記相変化によって微小な発泡状態となり、結合力が低下することもある。

【0095】

分離層2が層内剥離を生じるか、界面剥離を生じるか、またはその両方であるかは、分離層2の組成や、その他種々の要因に左右され、その要因の1つとして、照射光7の種類、波長、強度、到達深さ等の条件が挙げられる。

【0096】

照射光 7 としては、分離層 2 に層内剥離および／または界面剥離を起こさせるものであればいかなるものでもよく、例えば、X 線、紫外線、可視光、赤外線（熱線）、レーザ光、ミリ波、マイクロ波、電子線、放射線（ α 線、 β 線、 γ 線）等が挙げられるが、そのなかでも、分離層 2 の剥離（アブレーション）を生じさせ易いという点で、レーザ光が好ましい。

【0097】

このレーザ光を発生させるレーザ装置としては、各種気体レーザ、固体レーザ（半導体レーザ）等が挙げられるが、エキシマレーザ、Nd-YAG レーザ、Ar レーザ、CO₂ レーザ、CO レーザ、He-Ne レーザ等が好適に用いられ、その中でもエキシマレーザが特に好ましい。

【0098】

エキシマレーザは、短波長域で高エネルギーを出力するため、極めて短時間で分離層 2 にアブレーションを生じさせることができ、よって、隣接するまたは近傍の中間層 3、被転写層 4、基板 1 等に温度上昇をほとんど生じさせることなく、すなわち劣化、損傷を生じさせることなく分離層 2 を剥離することができる。

【0099】

また、分離層 2 にアブレーションを生じさせるに際しての照射光に波長依存性がある場合、照射されるレーザ光の波長は、100～350 nm 程度であるのが好ましい。

【0100】

また、分離層 2 に、例えばガス放出、気化、昇華等の相変化を起こさせて分離特性を与える場合、照射されるレーザ光の波長は、350～1200 nm 程度であるのが好ましい。

【0101】

また、照射されるレーザ光のエネルギー密度、特に、エキシマレーザの場合のエネルギー密度は、10～5000 mJ/cm² 程度とするのが好ましく、100～500 mJ/cm² 程度とするのがより好ましい。また、照射時間は、1～1000 nsec 程度とするのが好ましく、10～100 nsec 程度とするのがより好ましい。

エネルギー密度が低いかまたは照射時間が短いと、十分なアブレーション等が生じず、また、エネルギー密度が高いかまたは照射時間が長いと、分離層 2 および中間層 3 を透過した照射光により被転写層 4 へ悪影響を及ぼすことがある。

【0102】

このようなレーザ光に代表される照射光 7 は、その強度が均一となるように照射されるのが好ましい。

【0103】

照射光 7 の照射方向は、分離層 2 に対し垂直な方向に限らず、分離層 2 に対し所定角度傾斜した方向であってもよい。

【0104】

また、分離層 2 の面積が照射光の 1 回の照射面積より大きい場合には、分離層 2 の全領域に対し、複数回に分けて照射光を照射することもできる。また、同一箇所に 2 回以上照射してもよい。

【0105】

また、異なる種類、異なる波長（波長域）の照射光（レーザ光）を同一領域または異なる領域に 2 回以上照射してもよい。

【0106】

<6> 図 8 に示すように、中間層 3 に付着している分離層 2 を、例えば洗浄、エッチング、アッシング、研磨等の方法またはこれらを組み合わせた方法により除去する。

【0107】

図 6 に示すような分離層 2 の層内剥離の場合には、基板 1 に付着している分離層 2 も同様に除去する。

【0108】

なお、基板 1 が石英ガラスのような高価な材料、希少な材料で構成されている場合等には、基板 1 は、好ましくは再利用（リサイクル）に供される。換言すれば、再利用したい基板 1 に対し、本発明を適用することができ、有用性が高い。

【0109】

以上のような各工程を経て、被転写層 4 の転写体 6 への転写が完了する。その

後、被転写層 4 に隣接する中間層 3 の除去や、他の任意の層の形成等を行うこともできる。

【0110】

本発明では、被剥離物である被転写層 4 自体を直接剥離するのではなく、被転写層 4 に接合された分離層 2 において剥離するため、被剥離物（被転写層 4）の特性、条件等にかかわらず、容易かつ確実に、しかも均一に剥離（転写）することができ、剥離操作に伴う被剥離物（被転写層 4）へのダメージもなく、被転写層 4 の高い信頼性を維持することができる。

【0111】

また、図示の実施例では、基板 1 側から照射光 7 を照射したが、例えば、被転写層 4 が照射光 7 の照射により悪影響を受けないもの場合には、照射光 7 の照射方向は前記に限定されず、基板 1 と反対側から照射光を照射してもよい。

【0112】

また、分離層 2 の面方向に対し部分的に、すなわち所定のパターンで照射光を照射して、被転写層 4 を前記パターンで転写するような構成であってもよい（第 1 の方法）。この場合には、前記〈5〉の工程に際し、基板 1 の照射光入射面 12 に対し、前記パターンに対応するマスキングを施して照射光 7 を照射するか、あるいは、照射光 7 の照射位置を精密に制御する等の方法により行うことができる。

【0113】

また、分離層 2 を基板 1 の分離層形成面 11 全面に形成するのではなく、分離層 2 を所定のパターンで形成することもできる（第 2 の方法）。この場合、マスキング等により分離層 2 を予め所定のパターンに形成するか、あるいは、分離層 2 を分離層形成面 11 の全面に形成した後、エッチング等によりパターンニングまたはトリミングする方法が可能である。

【0114】

以上のような第 1 の方法および第 2 の方法によれば、被転写層 4 の転写を、そのパターンニングやトリミングと共に行うことができる。

【0115】

また、前述した方法と同様の方法により、転写を2回以上繰り返し行ってもよい。この場合、転写回数が偶数回であれば、最後の転写体に形成された被転写層の表・裏の位置関係を、最初に基板1に被転写層を形成した状態と同じにすることができる。

【0116】

また、大型の透明基板（例えば、有効領域が900mm×1600mm）を転写体6とし、小型の基板1（例えば、有効領域が45mm×40mm）に形成した小単位の被転写層4（薄膜トランジスタ）を複数回（例えば、約800回）好ましくは隣接位置に順次転写して、大型の透明基板の有効領域全体に被転写層4を形成し、最終的に前記大型の透明基板と同サイズの液晶ディスプレイを製造することもできる。

【0117】

また、基板1上に形成した被転写層4を複数用意し、各被転写層4を転写体6上へ、順次転写し（重ね）、被転写層4の積層体を形成してもよい。この場合、積層される被転写層4は、同一でもよく、また、異なってもよい。

【0118】

以上が、本発明で用いる薄膜構造の転写方法である。

【0119】

次に、前述した薄膜構造の転写方法（転写技術）を用いた本発明の3次元デバイス（多層構造のデバイス）の第1実施例およびその製造方法を説明する。

【0120】

図9は、本発明の3次元デバイスの第1実施例を模式的に示す断面図、図10～図15は、それぞれ、図9に示す3次元デバイスの製造方法の工程を模式的に示す断面図である。なお、前述した薄膜構造の転写方法との共通点については、説明を省略する。

【0121】

図9に示すように、3次元デバイス10は、基体（ベース）としての基板（転写側基板）21と、第1の被転写層（第1の薄膜デバイス層）41と、第2の被

転写層（第2の薄膜デバイス層）42とを有している。被転写層41および42は、それぞれ、2次元方向（基板21に対して平行な方向）に広がっていて、所定の回路を構成している。

【0122】

この場合、基板21の図9中上側に、接着層5を介して被転写層41が接着（接合）されている。

【0123】

そして、この被転写層41の図9中上側に、導電性接着層22を介して被転写層42が接着（接合）されている。

【0124】

被転写層41は、その図9中上側に接続電極（接続用の端子）411および412をそれぞれ有している。また、被転写層41は、その図9中下側に接続電極421および422をそれぞれ有している。この被転写層41の接続電極411と被転写層42の接続電極421とは、導電性接着層22を介して電氣的に接続されており、また、被転写層41の接続電極412と被転写層42の接続電極422とは、導電性接着層22を介して電氣的に接続されている。

【0125】

導電性接着層22としては、異方性導電膜（ACF：Anisotropic Conductive Film）が好ましい。異方性導電膜で接着することにより、厚さ方向（図9中、上下方向）のみで導通が確保されるので、図9中横方向のショートを防止することができる。すなわち、接続電極411と接続電極412、接続電極411と接続電極422、接続電極421と接続電極422、接続電極421と接続電極412がショートするのを防止することができる。

【0126】

また、異方性導電膜で接着することにより、容易に、接続電極411と接続電極421、接続電極412と接続電極422とが、それぞれ電氣的に接続するように位置合わせをしつつ、被転写層41と被転写層42とを接着（接合）することができる。

【0127】

なお、この3次元デバイス10の基板（転写側基板）21は、図4～図8中の転写体6に相当する。

【0128】

また、3次元デバイス10の被転写層41および42としては、例えば、前述した被転写層4として例示した種々のものが挙げられる。

【0129】

具体的には、被転写層41および42は、DRAM（ダイナミックRAM）、SRAM（スタティックRAM）、E²PROM、ROM等のメモリやメモリセルアレイ、CPU等のロジック回路、光センサー、磁気センサー等のセンサー等とすることができる。なお、被転写層41および42が前記のものに限定されないのは、言うまでもない。

【0130】

また、被転写層41と被転写層42は、同一でもよく、また、異なってもよい。

【0131】

被転写層41と被転写層42とが同一の場合としては、例えば、被転写層41および被転写層42の両方をメモリやメモリセルアレイとすることができる。これにより大容量のメモリ（大規模メモリ）が実現する。

【0132】

また、前記の他、例えば、被転写層41および被転写層42の両方をロジック回路とすることもできる。これにより大規模のロジック回路（大規模ロジック回路）が実現する。

【0133】

また、被転写層41と被転写層42とが異なる場合としては、例えば、被転写層41および被転写層42のうちの一方をメモリやメモリセルアレイとし、他方をロジック回路とすることができる。すなわち、3次元デバイス10は、メモリとロジック回路とを混載（一体化）したシステムIC（例えば、システムLSI）となる。

【0134】

このような場合、本発明によれば、被転写層41と被転写層42を異なるデザインルール（最小線幅）で形成することができる。また、被転写層41と被転写層42を異なるデザインパラメータで形成することができる。また、被転写層41と被転写層42を異なる製造プロセスで形成することができる。従来では、積層された層同士で、このような条件を変えることは、不可能または困難であった。

【0135】

前記システムICにおけるメモリやメモリセルアレイの最小線幅は、例えば、 $0.35\mu\text{m}$ （ μm ルール）程度とされ、ロジック回路の最小線幅は、例えば、 $0.5\mu\text{m}$ （ μm ルール）程度とされる（メモリやメモリセルアレイの最小線幅は、ロジック回路の最小線幅より小さい）。また、これとは逆に、メモリやメモリセルアレイの最小線幅をロジック回路の最小線幅より大きくしてもよい。

【0136】

前記3次元デバイス10は、前述した薄膜構造の転写方法により、例えば、下記のようにして製造する。

【0137】

<A1> 図10に示すように、基板（元基板）1の片面に、分離層2を形成する。また、図11に示すように、基板（元基板）1の片面に、分離層2を形成する。

【0138】

<A2> 図10および図11に示すように、各基板1の分離層2の上に、それぞれ、中間層（下地層）3を形成する。

【0139】

<A3> 図10に示すように、中間層3の上に、第1の被転写層（第1の薄膜デバイス層）41を形成する。また、図11に示すように、中間層3の上に、第2の被転写層（第2の薄膜デバイス層）42を形成する。

【0140】

被転写層41のK部分（図10において一点鎖線で囲まれている部分）の拡大

断面図を図 10 中に示す。

【0141】

図 10 に示すように、被転写層 41 は、例えば、中間層 3（例えば、 SiO_2 膜）上に形成された薄膜トランジスタ（TFT）60 を有している。

【0142】

この薄膜トランジスタ 60 は、ポリシリコン層に n 型または p 型不純物を導入して形成されたソース層（ n^+ または p^+ 層）61 およびドレイン層（ n^+ または p^+ 層）62 と、チャネル層 63 と、ゲート絶縁膜 64 と、ゲート電極 65 と、層間絶縁膜 66 と、例えばアルミニウムからなる電極 67 および 68 と、保護膜 69 とで構成されている。

【0143】

この薄膜トランジスタ 60 の保護膜 69 の図 10 中下側には、接続電極 411 が形成されている。この接続電極 411 は、保護膜 69 に形成されたコンタクトホールを経由して、電極 68 に電氣的に接続されている。

【0144】

また、被転写層 42 の K 部分（図 11 において一点鎖線で囲まれている部分）の拡大断面図を図 11 中に示す。

【0145】

図 11 に示すように、被転写層 42 は、例えば、中間層 3（例えば、 SiO_2 膜）上に形成された薄膜トランジスタ（TFT）60 を有している。

【0146】

この薄膜トランジスタ 60 は、ポリシリコン層に n 型または p 型不純物を導入して形成されたソース層（ n^+ または p^+ 層）61 およびドレイン層（ n^+ または p^+ 層）62 と、チャネル層 63 と、ゲート絶縁膜 64 と、ゲート電極 65 と、層間絶縁膜 66 と、例えばアルミニウムからなる電極 67 および 68 と、保護膜 69 とで構成されている。

【0147】

この薄膜トランジスタ 60 の保護膜 69 の図 11 中上側には、接続電極 421 が形成されている。この接続電極 421 は、保護膜 69 に形成されたコンタクト

ホールを経由して、電極 67 に電氣的に接続されている。

【0148】

なお、電極 412 の近傍の被転写層 41 および電極 422 の近傍の被転写層 42 の構成は、前記とほぼ同様であるので、説明を省略する。

【0149】

本発明では、被転写層 41 を図示しない 1 枚の基板（例えば、ガラス製基板）に多数同時に形成し、それを切り出してもよい。同様に、被転写層 42 を図示しない 1 枚の基板（例えば、ガラス製基板）に多数同時に形成し、それを切り出してもよい。

【0150】

この場合、例えば、被転写層 41、42 が形成された基板をそれぞれプローブ装置にセットし、各被転写層 41、42 の接続電極や図示しない端子に触針をコンタクトして、各被転写層 41、42 の電氣的特性検査を実施する。そして、不良と判定された被転写層 41、42 にはインカーまたはスクラッチ針等でマーキングする。

【0151】

その後、各被転写層 41、42 を個々にダイシングする。この際、マーキングの有無により、個々の被転写層 41、42 を、不良品と良品とに選別しておく。なお、ダイシング後に、個々の被転写層 41、42 の電氣的特性検査を実施しても良い。

【0152】

また、本発明では、被転写層 41 と被転写層 42 とを同時に製造してもよく、特に、同一の基板（元基板）1 上に、同時に製造してもよい。これにより、工程数を減少させることができる。

【0153】

<A4> 図 12 に示すように、前記基板 1 上に形成した被転写層 41 と、基板（転写側基板）21 とを接着層 5 を介して接着（接合）する。

【0154】

<A5> 図 12 に示すように、基板 1 の裏面側（照射光入射面 12 側）から照

射光 7 を照射する。前述したように、この照射光 7 は、基板 1 を透過した後、分離層 2 に照射され、これにより、分離層 2 に層内剥離および／または界面剥離が生じ、結合力が減少または消滅する。

【0155】

そして、基板 1 と基板 2 1 とを離間させる。これにより、図 1 3 に示すように、被転写層 4 1 が基板 1 から離脱して、基板 2 1 へ転写される。

【0156】

< A 6 > 図 1 3 に示すように、被転写層 4 1 上の中間層 3 や分離層 2 を、例えば洗浄、エッチング、アッシング、研磨等の方法またはこれらを組み合わせた方法により除去する。なお、必要に応じて、接続電極 4 1 1、4 1 2 が露出する程度に、前記中間層 3 を残してもよい。

【0157】

また、分離層 2 の層内剥離の場合には、基板 1 に付着している分離層 2 も同様に除去する。

【0158】

なお、基板 1 が石英ガラスのような高価な材料、希少な材料で構成されている場合等には、基板 1 は、好ましくは再利用（リサイクル）に供される。換言すれば、再利用したい基板 1 に対し、本発明を適用することができ、有用性が高い。

【0159】

以上のような各工程を経て、被転写層 4 1 の基板 2 1 への転写が完了する。その後、他の任意の層の形成等を行うこともできる。

【0160】

< A 7 > 図 1 4 に示すように、対応する接続電極同士が対向、すなわち、接続電極 4 1 1 と接続電極 4 2 1 とが対向し、かつ接続電極 4 1 2 と接続電極 4 2 2 とが対向するように位置決めしつつ、前記基板 1 上に形成した被転写層 4 2 と、前記基板 2 1 に転写した被転写層 4 1 とを導電性接着層 2 2 を介して接着（接合）する。

【0161】

この導電性接着層 2 2 としては、前述したように、異方性導電膜が好ましいが

、本発明は、それに限定されるものではない。

【0162】

異方性導電膜で接着する際は、被転写層41と被転写層42との間に所定の導電性接着剤を充填（配置）し、その導電性接着剤を図14中縦方向に加圧しつつ硬化させる。これにより、被転写層41と被転写層42とが導電性接着層22を介して接着されるとともに、この導電性接着層22中の図示しない導電粒子が図14中縦方向につながり（接触し）、接続電極411と接続電極421、接続電極412と接続電極422が、それぞれ、前記導電粒子を介して電氣的に接続される。

【0163】

〈A8〉 図14に示すように、基板1の裏面側（照射光入射面12側）から照射光7を照射する。前述したように、この照射光7は、基板1を透過した後、分離層2に照射され、これにより、分離層2に層内剥離および／または界面剥離が生じ、結合力が減少または消滅する。

【0164】

そして、基板1と基板21とを離間させる。これにより、図15に示すように、被転写層42が基板1から離脱して、被転写層41上へ転写される。

【0165】

なお、被転写層41、42および導電性接着層22のK部分（図15において一点鎖線で囲まれている部分）の拡大断面図を図15中に示す。

【0166】

〈A9〉 図15に示すように、被転写層42上の中間層3や分離層2を、例えば洗浄、エッチング、アッシング、研磨等の方法またはこれらを組み合わせた方法により除去する。なお、必要に応じて、前記中間層3を残してもよい。

【0167】

また、分離層2の層内剥離の場合には、基板1に付着している分離層2も同様に除去する。

【0168】

なお、基板1が石英ガラスのような高価な材料、希少な材料で構成されている

場合等には、基板 1 は、好ましくは再利用（リサイクル）に供される。換言すれば、再利用したい基板 1 に対し、本発明を適用することができ、有用性が高い。

【0169】

以上のような各工程を経て、被転写層 4 2 の被転写層 4 1 上への転写、すなわち、被転写層 4 2 と被転写層 4 1 の積層が完了する。その後、他の任意の層の形成等を行うこともできる。

【0170】

以上説明したように、本発明の 3 次元デバイス 10 は、薄膜デバイス層を転写（転写法）により積層して形成されるので、容易に、3 次元デバイス（例えば、3 次元 IC）を製造することができる。

【0171】

特に、各薄膜デバイス層をそれぞれ単独で作れるので、従来のような下層（下側の薄膜デバイス層）への悪影響を考慮することがなく、製造条件の自由度が広い。

【0172】

そして、本発明の 3 次元デバイス 10 では、複数の薄膜デバイス層を積層するので、集積度を向上することができる。すなわち、比較的緩いデザインルールでも比較的狭い面積に IC（例えば、LSI）等を形成することができる。

【0173】

例えば、3 次元デバイス 10 がメモリを有する場合（例えば、被転写層 4 1 および 4 2 の両方がメモリの場合）には、メモリの大容量化を図ることができる。また、3 次元デバイス 10 がロジック回路を有する場合（例えば、被転写層 4 1 および 4 2 の両方がロジック回路の場合）には、ロジック回路の大規模化を図ることができる。

【0174】

また、本発明では、各薄膜デバイス層を一旦、異なる基板上に形成することができるので、各薄膜デバイス層を任意のデバイスパラメータ（例えば、ゲート線幅、ゲート絶縁膜の膜厚、デザインルール、製造時の温度等の製造条件）で形成することができる。このため、各薄膜デバイス層をそれぞれ最適なデバイスパラ

メータで形成することができ、これにより信頼性が高く、高性能の 3 次元デバイス 10 を提供することができる。

【0175】

例えば、3 次元デバイス 10 がメモリとロジック回路とを混載（一体化）したシステム IC（例えば、システム LSI）の場合、そのシステム IC を製造するときに、メモリとロジック回路とをそれぞれに応じたプロセスで形成することができるので、製造が容易であり、生産性が高く、量産に有利である。

【0176】

また、各薄膜デバイス層の一端に、接続電極（接続用の端子）を形成するので、隣接する薄膜デバイス層同士を、容易かつ確実に、電氣的に接続することができる、これにより 3 次元デバイス 10 の 3 次元化を図ることができる（3 次元方向の回路を構成することができる）。

【0177】

また、層毎に良品の薄膜デバイス層のみを選別して積層することができるので、同一基板上に各層を順次形成（直接各層を形成）して 3 次元デバイスを製造する場合に比べ、歩留りが高い。

【0178】

また、基板（転写側基板）21 を選ばず、種々の基板 21 への転写が可能となる。すなわち、薄膜デバイス層を直接形成することができないかまたは形成するのに適さない材料、成形が容易な材料、安価な材料等で構成されたもの等に対しても、転写によりそれを形成することができる。換言すれば、基板 21 に自由度があるので、例えば、可撓性の基板上に IC を形成することができ、このため、容易に IC カード等を製造することができる。

【0179】

また、基板（元基板）1 として、比較的価格が低く、かつ大面積のガラス製基板を用いることができるので、コストを低減することができる。

【0180】

なお、前述した実施例では、被転写層（薄膜デバイス層）41 および 42 の転写の回数は、それぞれ 1 回であるが、本発明では、被転写層 41 と被転写層 42

とを積層することができれば、被転写層 4 1 の転写の回数は、2 回以上であってもよく、また、被転写層 4 2 の転写の回数は、2 回以上であってもよい。

【0181】

例えば、被転写層の転写回数を 2 回とする場合には、基板 1 上の被転写層を、基板 1 および基板 2 1 以外の図示しない第 3 の基板上に転写し、この後、その第 3 の基板上の被転写層を基板 2 1 上に転写する。なお、前記第 3 の基板には、前述した分離層 2 等が形成されている。

【0182】

被転写層の転写回数が偶数回であれば、最後の転写体である基板（転写側基板）2 1 に形成された被転写層の表・裏の位置関係を、最初に基板（元基板）1 に被転写層を形成した状態と同じにすることができる。

【0183】

また、本発明では、基板（転写側基板）2 1 上に被転写層 4 1 を直接形成し、前述した転写方法により、この被転写層 4 1 上に被転写層 4 2 を転写して、3 次元デバイス 10 を製造してもよい。

【0184】

また、本発明では、被転写層（薄膜デバイス層）を 3 層以上積層してもよい。被転写層（薄膜デバイス層）の層数を増加することにより、集積度をより高めることができる。

【0185】

例えば、3 次元デバイス 10 の被転写層（薄膜デバイス層）の層数を 3 層にして、隣接する被転写層同士を電氣的に接続する場合には、図 16 に示すように、第 1 の被転写層（第 1 の薄膜デバイス層）4 1 と第 2 の被転写層（第 2 の薄膜デバイス層）4 2 との間に位置する第 3 の被転写層（第 3 の薄膜デバイス層）4 3 の両端に接続電極（接続用の端子）を形成する。すなわち、被転写層 4 3 の一端（図 16 中下側）に、接続電極 4 3 1 および 4 3 2 を形成し、他端（図 16 中上側）に接続電極 4 3 3 および 4 3 4 を形成する。

【0186】

そして、被転写層 4 1 の接続電極 4 1 1 と被転写層 4 3 の接続電極 4 3 1 とを

導電性接着層 22 を介して電氣的に接続し、被転写層 41 の接続電極 412 と被転写層 43 の接続電極 432 とを導電性接着層 22 を介して電氣的に接続する。同様に、被転写層 43 の接続電極 433 と被転写層 42 の接続電極 421 とを導電性接着層 23 を介して電氣的に接続し、被転写層 43 の接続電極 434 と被転写層 42 の接続電極 422 とを導電性接着層 23 を介して電氣的に接続する。

【0187】

導電性接着層 23 としては、導電性接着層 22 と同様の理由で、異方性導電膜が好ましい。

【0188】

また、本発明では、接続電極 431 と接続電極 433、接続電極 432 と接続電極 434 が、直接、電氣的に接続されていてもよい。この場合には、接続電極 411 と接続電極 421 とが、導電性接着層 22、接続電極 431、433 および導電性接着層 23 を介して電氣的に接続し、接続電極 412 と接続電極 422 とが、導電性接着層 22、接続電極 432、434 および導電性接着層 23 を介して電氣的に接続する。

【0189】

被転写層 41、42 および 43 の積層は、それぞれ、前述したように、薄膜構造の転写法により行う。

【0190】

なお、被転写層（薄膜デバイス層）を 3 層以上積層する場合、各層がすべて同一でもよく、また、各層がすべて異なってもよく、また、一部の層のみが同一であってもよい。

【0191】

次に、本発明の 3 次元デバイスの第 2 実施例を説明する。

【0192】

図 17 は、本発明の 3 次元デバイスの第 2 実施例を模式的に示す断面図である。なお、前述した第 1 実施例との共通点については、説明を省略し、主な相違点を説明する。

【0193】

図17に示す3次元デバイス10も前述した第1実施例と同様に、薄膜構造の転写方法により製造する。

【0194】

但し、この3次元デバイス10では、前記工程〈A7〉において、第1の被転写層（第1の薄膜デバイス層）41の接続電極411と第2の被転写層（第2の薄膜デバイス層）42の接続電極421とを接触させて、これらを電氣的に接続し、被転写層41の接続電極412と被転写層42の接続電極422を接触させて、これらを電氣的に接続するとともに、被転写層41と被転写層42とを接着層24を介して接着（接合）する。

【0195】

この第2実施例でも前述した第1実施例と同様の効果が得られる。

【0196】

なお、本発明では、被転写層41と被転写層42との接着（接合）の方法と、対応する接続電極同士を電氣的に接続する方法は、それぞれ、前述した第1実施例および第2実施例には限定されない。

【0197】

例えば、接続電極411と接続電極421、接続電極412と接続電極422をそれぞれ接触させ、これらを加熱し、接触面を一旦溶融し、固化させることにより、対応する接続電極同士を固着させてもよい。これにより、対応する接続電極同士が電氣的に接続するとともに、被転写層41と被転写層42とが接合する。

【0198】

また、接続電極411と接続電極421との間と、接続電極412と接続電極422との間とに、それぞれ半田（導電性のろう材）を配置し、これらの半田を加熱し、一旦溶融させ、固化させてもよい。これにより、対応する接続電極同士が半田を介して電氣的に接続するとともに、被転写層41と被転写層42とが半田を介して接着（接合）する。

【0199】

次に、本発明の3次元デバイスの第3実施例を説明する。

【0200】

図18は、本発明の3次元デバイスの第3実施例を模式的に示す断面図である。なお、前述した第1実施例との共通点については、説明を省略し、主な相違点を説明する。

【0201】

図18に示す3次元デバイス10も前述した第1実施例と同様に、薄膜構造の転写方法により製造する。

【0202】

この3次元デバイス10の第1の被転写層（第1の薄膜デバイス層）41の一端（図18中上側）には、発光部（発光素子）413および受光部（受光素子）414が形成されている。

【0203】

また、第2の被転写層（第2の薄膜デバイス層）42の一端（図18中下側）には、発光部（発光素子）423および受光部（受光素子）424が形成されている。

【0204】

この3次元デバイス10では、前記工程〈A7〉において、対応する発光部と受光部とが対向、すなわち、発光部413と受光部424とが対向し、かつ発光部423と受光部414とが対向するように位置決めしつつ、被転写層41と被転写層42とを実質的に透明の（発光部413および423からの光に対して光透過性を有する）接着層25を介して接着（接合）する。

【0205】

この3次元デバイス10における発光部413および423としては、例えば、有機EL素子を用いることができる。

【0206】

図19は、有機EL素子の構成例を示す断面図である。

【0207】

同図に示すように、有機EL素子30は、隔壁（バンク）34と、この隔壁34の内側に形成された透明電極31および発光層（有機EL）32と、金属電極33とで構成されている。

【0208】

この場合、透明電極31上に発光層32が形成され、隔壁34および発光層32上に金属電極33が形成されている。

【0209】

透明電極31は、例えば、ITO等で構成される。

【0210】

また、発光層32は、例えば、主として発光層32を形成する共役系高分子有機化合物の前駆体と、発光層32の発光特性を変化させるための蛍光色素等を所定の溶媒（極性溶媒）に溶解または分散させた有機EL素子用組成物（発光層32用の組成物）を加熱処理し、その有機EL素子用組成物中の前記前駆体を高分子化した薄膜（固体薄膜）で構成される。

【0211】

また、金属電極33は、例えば、Al-Li等で構成される。

【0212】

また、隔壁34は、例えば、樹脂ブラックレジスト等で構成される。

【0213】

被転写層41および42には、それぞれ、この有機EL素子30を駆動する図示しない駆動部（駆動回路）が形成されている。

【0214】

この有機EL素子30では、前記駆動回路から透明電極31と金属電極33との間に所定の電圧が印加されると、発光層32に電子および正孔（ホール）が注入され、それらは印加された電圧によって生じる電場により発光層32中を移動し再結合する。この再結合に際し放出されたエネルギーによりエキシトン（励起子）が生成し、このエキシトンが基底状態へ戻る際にエネルギー（蛍光・リン光）を放出する。すなわち、発光する。なお、上記の現象をEL発光と言う。

【0215】

また、この3次元デバイス10における受光部414および424としては、例えば、PINフォトダイオードを用いることができる。

【0216】

図20は、PINフォトダイオードの構成例を示す断面図である。

【0217】

同図に示すように、PINフォトダイオード50は、受光部窓電極51と、p型a-SiC層（p型半導体層）52と、i型a-Si層（半導体層）53と、n型a-SiC層（n型半導体層）54と、受光部上部電極と配線（電気配線）を兼ねたAl-Si-Cu層55とで構成されている。

【0218】

これら受光部窓電極51、p型a-SiC層52、i型a-Si層53、n型a-SiC層54およびAl-Si-Cu層55は、図20中下側からこの順序で積層されている。なお、前記受光部窓電極51は、例えば、ITO等で構成される。

【0219】

前述したように、有機EL素子30は、該有機EL素子30に電氣的に接続されている図示しない駆動回路により駆動されて発光する。すなわち、有機EL素子30は、光信号（光）を送出（送信）する。

【0220】

この有機EL素子30からの光は、接着層25を透過して受光部窓電極51から入射する。すなわち、PINフォトダイオード50で受光される。

【0221】

そして、PINフォトダイオード50からは、受光光量に応じた大きさの電流、すなわち電気信号（信号）が出力される（光信号が電気信号に変換され出力される）。

【0222】

このPINフォトダイオード50からの信号に基づいて、該PINフォトダイオード50に電氣的に接続されている図示しない回路が作動する。

【0223】

なお、図18に示すように、発光部413からの光は、接着層25を透過して受光部424で受光され、また、発光部423からの光は、接着層25を透過して受光部414で受光される。すなわち、発光部413、423、受光部414および424により、被転写層41と被転写層42との間で光（光信号）による通信がなされる。

【0224】

この第3実施例でも前述した第1実施例と同様の効果が得られる。

【0225】

そして、この第3実施例では、層間の信号の伝達は、電気（電気信号）ではなく、光（光信号）で行うように構成されているので、製造が容易であり、特に、集積度をより高めることができる。

【0226】

なお、本発明では、発光部413および423は、有機EL素子に限らず、例えば、無機EL素子、発光ダイオード（LED）、半導体レーザ（レーザダイオード）等で構成されていてもよい。

【0227】

また、本発明では、受光部414および424は、PINフォトダイオードに限らず、例えば、PNフォトダイオード、アバランシェフォトダイオード等の各種フォトダイオード、フォトリンジスタ、フォトルミネッセンス（有機フォトルミネッセンス、無機フォトルミネッセンス等）等で構成されていてもよい。

【0228】

また、本発明では、被転写層（薄膜デバイス層）41と被転写層（薄膜デバイス層）42との接着（接合）の方法は、前述した方法に限らない。すなわち、被転写層41と被転写層42との間で、光（光信号）による通信が可能なように、被転写層41と被転写層42とを接着（接合）することができればよい。

【0229】

例えば、被転写層41と被転写層42とを部分的に接着（接合）してもよい。この場合、発光部413、423、受光部414および424以外の部分で接着

(接合) するときは、不透明の接着層で被転写層 4 1 と被転写層 4 2 とを接着 (接合) してもよい。

【0230】

また、被転写層 4 1 と被転写層 4 2 との間にスペーサ (例えば、柱) を設け、このスペーサを介して被転写層 4 1 と被転写層 4 2 とを接着 (接合) してもよい。この場合には、被転写層 4 1 の発光部 4 1 3 および受光部 4 1 4 と、被転写層 4 2 の受光部 4 2 4 および発光部 4 2 3 との間に空間が形成される。

【0231】

また、被転写層 4 1 の発光部 4 1 3 および受光部 4 1 4 と、被転写層 4 2 の受光部 4 2 4 および発光部 4 2 3 とを、それぞれ接触させてもよい。

【0232】

また、本発明では、3次元デバイスの被転写層 (薄膜デバイス層) の層数を3層以上にする場合には、隣接しない層間において、光 (光信号) による通信が可能ないように構成してもよい。

【0233】

また、本発明では、発光部を発光特性 (例えば、発光する光のピーク波長) の異なる複数の発光素子で構成し、受光部を対応する前記発光素子からの光を受光する複数の受光素子で構成してもよい。

【0234】

この場合には、複数の情報 (信号) を同時に通信することができる。すなわち、多チャンネルの光通信による情報伝達が可能となる。

【0235】

また、本発明では、発光特性 (例えば、発光する光のピーク波長) の異なる複数の発光部を設け、対応する前記発光部からの光を受光する複数の受光部を設けてもよい。

【0236】

また、本発明では、少なくとも1つの所定の被転写層 (薄膜デバイス層) 内において、前記被転写層 (薄膜デバイス層) 間のような光 (光信号) による通信がなされるように構成してもよい。

【0237】

なお、前述した第1～第3実施例のそれぞれにおいて、必要に応じて、外部（例えば、外部装置や搭載基板等）と電氣的に接続するための端子（接続端子）が、任意の位置に設けられていてもよい。

【0238】

例えば、基板21上に前記接続端子を設け、この接続端子と被転写層（薄膜デバイス層）41とを電氣的に接続する場合には、被転写層41の図9、図16、図17、図18中下側の端部に、図示しない接続電極（接続用の端子）を形成する。そして、この接続電極と前記接続端子とが電氣的に接続するように、基板21と被転写層41とを接着（接合）する。この基板21と被転写層41との接着（接合）は、例えば、前述した被転写層41と被転写層42の接着（接合）のようによい。

【0239】

次に、本発明の3次元デバイスの第4実施例を説明する。

【0240】

図21は、本発明の3次元デバイスの第4実施例を模式的に示す図である。なお、前述した第1～第3実施例との共通点については、説明を省略し、主な相違点を説明する。

【0241】

図21に示す第4実施例の3次元デバイスは、メモリIC（メモリ装置）である。メモリIC10aは、基板（転写側基板）21と、この基板21上に積層されたメモリセルアレイ71と、メモリセルアレイ72と、メモリセルアレイ73とを有している。

【0242】

各メモリセルアレイ71、72および73は、それぞれ、前述した薄膜構造の転写法により、図21中下側からこの順序で積層されている。すなわち、各メモリセルアレイ71、72および73は、それぞれ、被転写層（薄膜デバイス層）である。

【0243】

この場合、基板21とメモリセルアレイ71、メモリセルアレイ71とメモリセルアレイ72、メモリセルアレイ72とメモリセルアレイ73は、それぞれ、前述した第1～第3実施例のいずれの方法で接着（接合）されていてもよい。

【0244】

すなわち、前述した第1または第2実施例と同様に、所定の層同士が電氣的に接続されていてもよく、また、前述した第3実施例と同様に、所定の層間で光（光信号）による通信が可能ようになっていてもよい。

【0245】

メモリセルアレイ71、72および73は、それぞれ、後述するメモリセルが行列状に配列されたものである。そして、本実施例では、メモリセルアレイ71、72および73は、それぞれ、SRAMで構成されている。

【0246】

図22は、前記SRAMのメモリセル（1セル）の構成例を示す回路図である。

【0247】

図22に示すように、このSRAMのメモリセル80は、CMOS型のSRAMのメモリセルであり、nMOS薄膜トランジスタ（TFT）81と、nMOS薄膜トランジスタ（TFT）82と、pMOS薄膜トランジスタ（TFT）83と、nMOS薄膜トランジスタ（TFT）84と、pMOS薄膜トランジスタ（TFT）85と、nMOS薄膜トランジスタ（TFT）86と、これらの接続線とで構成されている。

【0248】

nMOS薄膜トランジスタ81のゲートは、ワード線89に接続されており、nMOS薄膜トランジスタ81のソースまたはドレインは、第1のビット線（データ線）87に接続されている。

【0249】

また、nMOS薄膜トランジスタ82のゲートは、ワード線89に接続されており、nMOS薄膜トランジスタ82のソースまたはドレインは、第2のビット

線（データ線）88に接続されている。

【0250】

このメモリセル80では、pMOS薄膜トランジスタ83とnMOS薄膜トランジスタ84とで、第1のインバータ回路（NOT回路）が構成され、pMOS薄膜トランジスタ85とnMOS薄膜トランジスタ86とで、第2のインバータ回路（NOT回路）が構成されている。そして、これら第1のインバータ回路および第2のインバータ回路で、フリップフロップ回路が構成されている。

【0251】

なお、本発明では、メモリセルアレイ71、72および73は、SRAMのメモリセルアレイに限らず、この他、例えば、DRAM等の各種RAM、EPROM、E²PROM、、フラッシュメモリ、マスクROM等の各種ROM等の各種メモリのメモリセルアレイであってもよい。

【0252】

このメモリIC10a（第4実施例）でも前述した第1～第3実施例と同様の効果が得られる。

【0253】

特に、このメモリIC10aでは、複数のメモリセルアレイが積層されるので、大容量のメモリIC（大規模メモリIC）が得られる。換言すれば、同一容量（同一規模）のメモリICを製造する場合、狭い面積にそのメモリICを形成することができるので、メモリICの小型化を図ることができる。

【0254】

なお、本発明では、メモリセルアレイの層数、すなわちメモリセルアレイを構成する被転写層（薄膜デバイス層）の層数は、3層に限らず、2層または4層以上であってもよい。

【0255】

次に、本発明の3次元デバイスの第5実施例を説明する。

【0256】

図23は、本発明の3次元デバイスの第5実施例を模式的に示す斜視図である。なお、図21に示す前述した第4実施例との共通点については、説明を省略し

、主な相違点を説明する。

【0257】

図23に示す第5実施例の3次元デバイスは、メモリICである。メモリIC10aは、基板（転写側基板）21と、この基板21上に積層されたメモリ74と、メモリセルアレイ72と、メモリセルアレイ73とを有している。

【0258】

メモリ74、メモリセルアレイ72および73は、それぞれ、前述した薄膜構造の転写法により、図23中下側からこの順序で積層されている。すなわち、メモリ74、メモリセルアレイ72および73は、それぞれ、被転写層（薄膜デバイス層）である。

【0259】

メモリ74は、主に、メモリセルアレイ71と、データの入出力を制御する入出力制御回路（I/O）741と、目的のメモリセルの行アドレス（行方向のアドレス）を指定する行デコーダ742と、目的のメモリセルの列アドレス（列方向のアドレス）を指定する列デコーダ743とで構成されている。

【0260】

このメモリIC10aでは、メモリセルアレイ71、72および73で、1つのメモリセルアレイが構成されている。

【0261】

そして、これらメモリセルアレイ71、72および73は、すべて、入出力制御回路741、行デコーダ742および列デコーダ743により、駆動される。従って、このメモリIC10aでは、メモリ74、メモリセルアレイ72および73で、1つのメモリが構成される。

【0262】

このメモリIC10a（第5実施例）でも前述した第4実施例と同様の効果が得られる。

【0263】

なお、本発明では、メモリセルアレイの層数、すなわちメモリセルアレイを構成する被転写層（薄膜デバイス層）の層数は、2層に限らず、1層または3層以

上であってもよい。換言すれば、本発明では、メモリセルアレイを構成する被転写層（薄膜デバイス層）と、メモリを構成する被転写層（薄膜デバイス層）の合計の層数が、2層以上であればよい。

【0264】

次に、本発明の3次元デバイスの第6実施例を説明する。

【0265】

図24は、本発明の3次元デバイスの第6実施例を模式的に示す斜視図である。なお、図21に示す前述した第4実施例との共通点については、説明を省略し、主な相違点を説明する。

【0266】

図24に示す第6実施例の3次元デバイスは、メモリICである。メモリIC 10aは、基板（転写側基板）21と、この基板21上に積層されたメモリ74と、メモリ75と、メモリ76とを有している。

【0267】

各メモリ74、75および76は、それぞれ、前述した薄膜構造の転写法により、図24中下側からこの順序で積層されている。すなわち、各メモリ74、75および76は、それぞれ、被転写層（薄膜デバイス層）である。

【0268】

メモリ74は、主に、メモリセルアレイ71と、データの入出力を制御する入出力制御回路（I/O）741と、目的のメモリセルの行アドレス（行方向のアドレス）を指定する行デコーダ742と、目的のメモリセルの列アドレス（列方向のアドレス）を指定する列デコーダ743とで構成されている。

【0269】

このメモリセルアレイ71は、入出力制御回路741、行デコーダ742および列デコーダ743により、駆動される。

【0270】

また、メモリ75は、前記メモリ74と同様に、主に、メモリセルアレイ72と、入出力制御回路（I/O）751と、行デコーダ752と、列デコーダ753とで構成されている。

【0271】

このメモリセルアレイ 72 は、入出力制御回路 751、行デコーダ 752 および列デコーダ 753 により、駆動される。

【0272】

また、メモリ 76 は、前記メモリ 74 と同様に、主に、メモリセルアレイ 73 と、入出力制御回路 (I/O) 761 と、行デコーダ 762 と、列デコーダ 763 とで構成されている。

【0273】

このメモリセルアレイ 73 は、入出力制御回路 761、行デコーダ 762 および列デコーダ 763 により、駆動される。

【0274】

このメモリ IC 10a (第 6 実施例) でも前述した第 4 実施例と同様の効果が得られる。

【0275】

なお、本発明では、メモリの層数、すなわちメモリを構成する被転写層 (薄膜デバイス層) の層数は、3 層に限らず、2 層または 4 層以上であってもよい。

【0276】

次に、本発明の 3 次元デバイスの第 7 実施例を説明する。

【0277】

図 25 は、本発明の 3 次元デバイスの第 7 実施例を模式的に示す図である。なお、図 21 ~ 図 23 に示す前述した第 4 ~ 第 6 実施例との共通点については、説明を省略し、主な相違点を説明する。

【0278】

図 25 に示す第 7 実施例の 3 次元デバイスは、システム IC (システム LSI) である。システム IC (システム LSI) 10b は、基板 (転写側基板) 21 と、この基板 21 上に積層されたロジック回路 77 と、メモリ 74 とを有している。

【0279】

ロジック回路 77 およびメモリ 74 は、それぞれ、前述した薄膜構造の転写法

により、図 25 中下側からこの順序で積層されている。すなわち、ロジック回路 77 およびメモリ 74 は、それぞれ、被転写層（薄膜デバイス層）である。

【0280】

ロジック回路 77 は、例えば、CPU 等で構成される。

【0281】

そして、メモリ 74 は、このロジック回路 77 により駆動制御される。

【0282】

このシステム IC 10b（第 7 実施例）でも前述した第 4 ～ 第 6 実施例と同様の効果が得られる。

【0283】

特に、このシステム IC 10b では、ロジック回路 77 とメモリ 74 とをそれぞれに応じた（適した）デザインパラメータ、デザインルール（最小線幅）、製造プロセスで形成することができる。すなわち、ロジック回路 77 とメモリ 74 とを異なるデザインパラメータ、異なるデザインルール、異なる製造プロセスで形成することができる。

【0284】

なお、本発明では、ロジック回路の層数、すなわちロジック回路を構成する被転写層（薄膜デバイス層）の層数は、1 層に限らず、2 層以上であってもよい。

【0285】

また、本発明では、メモリの層数、すなわちメモリを構成する被転写層（薄膜デバイス層）の層数は、1 層に限らず、2 層以上であってもよい。

【0286】

次に、本発明の 3 次元デバイスの第 8 実施例を説明する。

【0287】

図 26 は、本発明の 3 次元デバイスの第 8 実施例を模式的に示す図である。なお、図 25 に示す前述した第 7 実施例との共通点については、説明を省略し、主な相違点を説明する。

【0288】

図 26 に示す第 8 実施例の 3 次元デバイスは、システム IC（システム LSI

）である。システム IC（システム LSI）10b は、基板（転写側基板）21 と、この基板 21 上に積層されたロジック回路 77 と、メモリセルアレイ 71 とを有している。

【0289】

ロジック回路 77 およびメモリセルアレイ 71 は、それぞれ、前述した薄膜構造の転写法により、図 26 中下側からこの順序で積層されている。すなわち、ロジック回路 77 およびメモリセルアレイ 71 は、それぞれ、被転写層（薄膜デバイス層）である。

【0290】

メモリセルアレイ 71 は、ロジック回路 77 により駆動制御される。

【0291】

すなわち、ロジック回路 77 は、メモリセルアレイ 71 に対し、データの入出力を制御する図示しない入出力制御回路（I/O）と、目的のメモリセルの行アドレス（行方向のアドレス）を指定する図示しない行デコーダと、目的のメモリセルの列アドレス（列方向のアドレス）を指定する図示しない列デコーダとを有している。

【0292】

このロジック回路 77 は、例えば、CPU 等で構成される。

【0293】

このシステム IC 10b（第 8 実施例）でも前述した第 7 実施例と同様の効果が得られる。

【0294】

なお、本発明では、ロジック回路の層数、すなわちロジック回路を構成する被転写層（薄膜デバイス層）の層数は、1 層に限らず、2 層以上であってもよい。

【0295】

また、本発明では、メモリセルアレイの層数、すなわちメモリセルアレイを構成する被転写層（薄膜デバイス層）の層数は、1 層に限らず、2 層以上であってもよい。

【0296】

次に、本発明の3次元デバイスの第9実施例を説明する。

【0297】

図27は、本発明の3次元デバイスの第9実施例を模式的に示す図である。なお、図21～図23に示す前述した第4～第6実施例との共通点については、説明を省略し、主な相違点を説明する。

【0298】

図27に示す第9実施例の3次元デバイスは、IC(LSI)である。IC(LSI)10cは、基板(転写側基板)21と、この基板21上に積層されたロジック回路77と、ロジック回路78とを有している。

【0299】

ロジック回路77および78は、それぞれ、前述した薄膜構造の転写法により、図27中下側からこの順序で積層されている。すなわち、ロジック回路77および78は、それぞれ、被転写層(薄膜デバイス層)である。

【0300】

各ロジック回路77および78は、それぞれ、例えば、CPU等で構成される。

【0301】

このIC10c(第9実施例)でも前述した第4～第6実施例と同様の効果が得られる。

【0302】

特に、このIC10cでは、複数のロジック回路が積層されるので、大規模のロジック回路、すなわち、大規模のIC(LSI)が得られる。換言すれば、同一規模のICを製造する場合、狭い面積にそのICを形成することができるので、ICの小型化を図ることができる。

【0303】

なお、本発明では、ロジック回路の層数、すなわちロジック回路を構成する被転写層(薄膜デバイス層)の層数は、2層に限らず、3層以上であってもよい。

【0304】

上述した第4～第9実施例において、本発明では、さらに、1または2以上の他の被転写層（薄膜デバイス層）が形成されていてもよい。

【0305】

この場合、前記他の被転写層（薄膜デバイス層）の位置は、特に限定されない。

【0306】

また、前記他の被転写層（薄膜デバイス層）としては、例えば、光センサー、磁気センサー等の各種センサー等が挙げられる。

【0307】

以上、本発明の3次元デバイスを図示の実施例に基づいて説明したが、本発明は、これに限定されるものではない。

【0308】

例えば、本発明では、3次元デバイスの被転写層（薄膜デバイス層）の層数を3層以上にする場合には、所定の被転写層間（被転写層同士）を第1実施例または第2実施例等のように電氣的に接続し（以下、「電氣的に接続」と言う）、他の被転写層間では、第3実施例等のように、光（光信号）による通信が可能（以下、「光学的に接続」と言う）であるように構成してもよい。

【0309】

また、本発明では、所定の被転写層間について、その一部を電氣的に接続し、残部を光学的に接続してもよい。

【0310】

また、本発明では、各被転写層（薄膜デバイス層）のうちの1層または2層以上が、メモリまたはメモリセルアレイを構成する場合、層内に、複数の種類のメモリまたはメモリセルアレイが形成されていてもよい。

【0311】

また、本発明では、各被転写層（薄膜デバイス層）のうちの2層以上が、メモリまたはメモリセルアレイを構成する場合、複数の種類のメモリまたはメモリセルアレイが積層されていてもよい。

【0312】

また、本発明では、3次元デバイスを構成する複数の被転写層（薄膜デバイス層）のうちの少なくとも1層が前述した薄膜構造の転写方法（転写技術）により転写されていればよい。

【0313】

なお、本発明における転写方法は、前述した方法には限らない。

【0314】

【発明の効果】

以上説明したように、本発明の3次元デバイスによれば、薄膜デバイス層が転写方法により積層したものであるので、容易に、3次元デバイス（例えば、3次元IC）を製造することができる。

【0315】

特に、各薄膜デバイス層をそれぞれ単独で形成することができるので、従来のような下層（下側の薄膜デバイス層）への悪影響を考慮することがなく、製造条件の自由度が広い。

【0316】

そして、本発明では、複数の薄膜デバイス層が積層されているので、集積度を高くすることができる。

【0317】

また、本発明では、各薄膜デバイス層を異なる基板上に形成することができるので、各薄膜デバイス層をそれぞれ最適なデバイスパラメータ、最適なデザインルール、最適な製造プロセスで形成することができ、これにより信頼性が高く、高性能のデバイスを提供することができる。

【0318】

また、本発明では、層毎に良品の薄膜デバイス層のみを選別して積層することができるので、同一基板上に各層を順次形成（直接各層を形成）して3次元デバイスを製造する場合に比べ、歩留りが高い。

【図面の簡単な説明】

【図 1】

本発明における薄膜構造の転写方法の実施例の工程を模式的に示す断面図である。

【図 2】

本発明における薄膜構造の転写方法の実施例の工程を模式的に示す断面図である。

【図 3】

本発明における薄膜構造の転写方法の実施例の工程を模式的に示す断面図である。

【図 4】

本発明における薄膜構造の転写方法の実施例の工程を模式的に示す断面図である。

【図 5】

本発明における薄膜構造の転写方法の実施例の工程を模式的に示す断面図である。

【図 6】

本発明における薄膜構造の転写方法の実施例の工程を模式的に示す断面図である。

【図 7】

本発明における薄膜構造の転写方法の実施例の工程を模式的に示す断面図である。

【図 8】

本発明における薄膜構造の転写方法の実施例の工程を模式的に示す断面図である。

【図 9】

本発明の 3 次元デバイスの第 1 実施例を模式的に示す断面図である。

【図 10】

図 9 に示す 3 次元デバイスの製造方法の工程を模式的に示す断面図である。

【図 1 1】

図 9 に示す 3 次元デバイスの製造方法の工程を模式的に示す断面図である。

【図 1 2】

図 9 に示す 3 次元デバイスの製造方法の工程を模式的に示す断面図である。

【図 1 3】

図 9 に示す 3 次元デバイスの製造方法の工程を模式的に示す断面図である。

【図 1 4】

図 9 に示す 3 次元デバイスの製造方法の工程を模式的に示す断面図である。

【図 1 5】

図 9 に示す 3 次元デバイスの製造方法の工程を模式的に示す断面図である。

【図 1 6】

本発明の 3 次元デバイスの他の構成例を模式的に示す断面図である。

【図 1 7】

本発明の 3 次元デバイスの第 2 実施例を模式的に示す断面図である。

【図 1 8】

本発明の 3 次元デバイスの第 3 実施例を模式的に示す断面図である。

【図 1 9】

本発明における有機 EL 素子の構成例を示す断面図である。

【図 2 0】

本発明における PIN フォトダイオードの構成例を示す断面図である。

【図 2 1】

本発明の 3 次元デバイスの第 4 実施例を模式的に示す図である。

【図 2 2】

本発明における SRAM のメモリセル（1 セル）の構成例を示す回路図である。

【図 2 3】

本発明の 3 次元デバイスの第 5 実施例を模式的に示す斜視図である。

【図 2 4】

本発明の 3 次元デバイスの第 6 実施例を模式的に示す斜視図である。

【図 2 5】

本発明の 3 次元デバイスの第 7 実施例を模式的に示す図である。

【図 2 6】

本発明の 3 次元デバイスの第 8 実施例を模式的に示す図である。

【図 2 7】

本発明の 3 次元デバイスの第 9 実施例を模式的に示す図である。

【符号の説明】

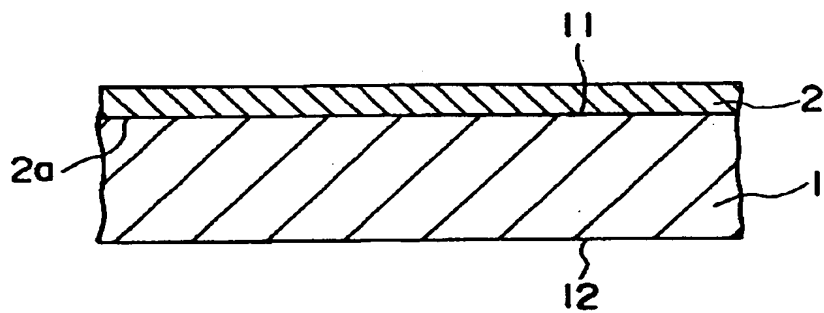
1	基板
1 1	分離層形成面
1 2	照射光入射面
2	分離層
2 a、2 b	界面
3	中間層
4、4 1 ~ 4 3	被転写層
4 1 1、4 1 2	接続電極
4 2 1、4 2 2	接続電極
4 1 3、4 2 3	発光部
4 1 4、4 2 4	受光部
4 3 1 ~ 4 2 4	接続電極
5	接着層
6	転写体
7	照射光
1 0	3 次元デバイス
1 0 a	メモリ IC
1 0 b	システム IC
1 0 c	IC
2 1	基板
2 2、2 3	導電性接着層
2 4	接着層

25	透明の接着層
30	有機EL素子
31	透明電極
32	発光層
33	金属電極
34	隔壁
50	PINフォトダイオード
51	受光部窓電極
52	p型a-SiC層
53	i型a-Si層
54	n型a-SiC層
55	Al-Si-Cu層
60	薄膜トランジスタ
61	ソース層
62	ドレイン層
63	チャネル層
64	ゲート絶縁膜
65	ゲート電極
66	層間絶縁膜
67、68	電極
69	保護膜
71~73	メモリセルアレイ
74	メモリ
741	入出力制御回路
742	行デコーダ
743	列デコーダ
75	メモリ
751	入出力制御回路
752	行デコーダ

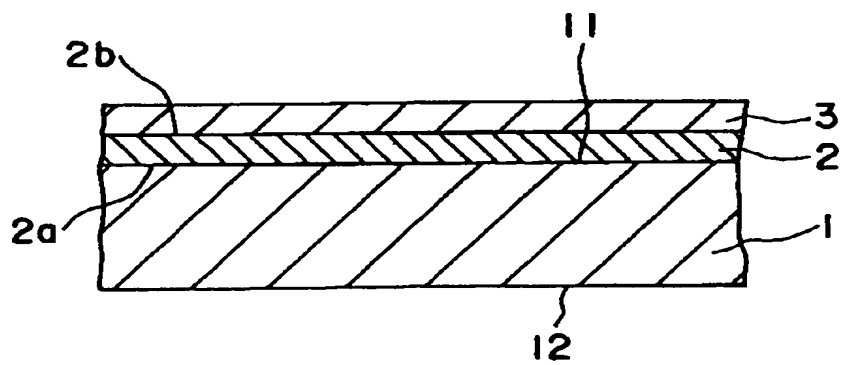
753	列デコーダ
76	メモリ
761	入出力制御回路
762	行デコーダ
763	列デコーダ
77、78	ロジック回路
80	メモリセル
81、82	nMOS 薄膜トランジスタ
83、85	pMOS 薄膜トランジスタ
84、86	nMOS 薄膜トランジスタ
87、88	ビット線
89	ワード線

【書類名】図面

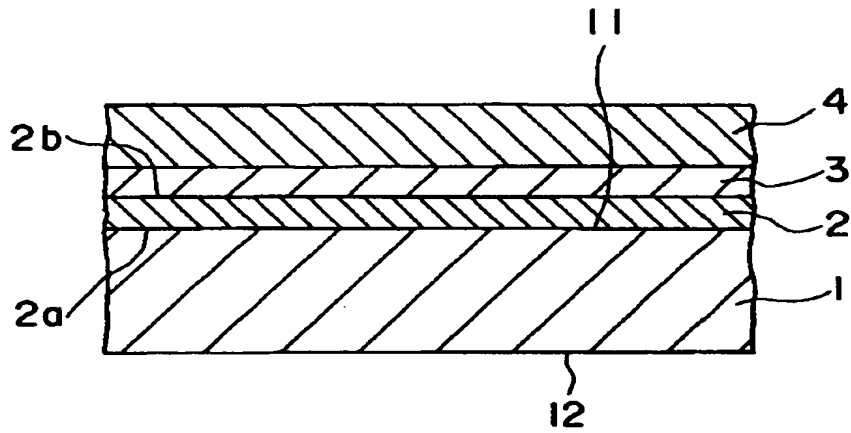
【図 1】



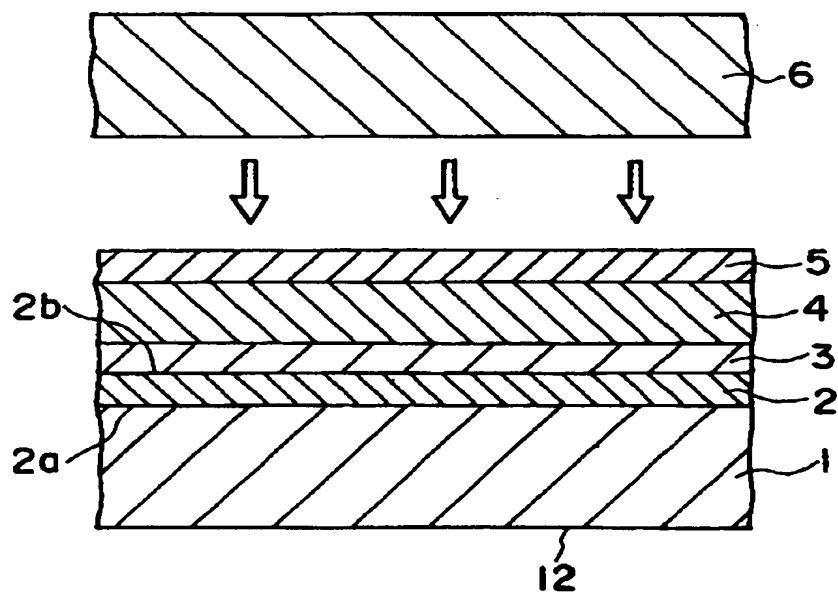
【図 2】



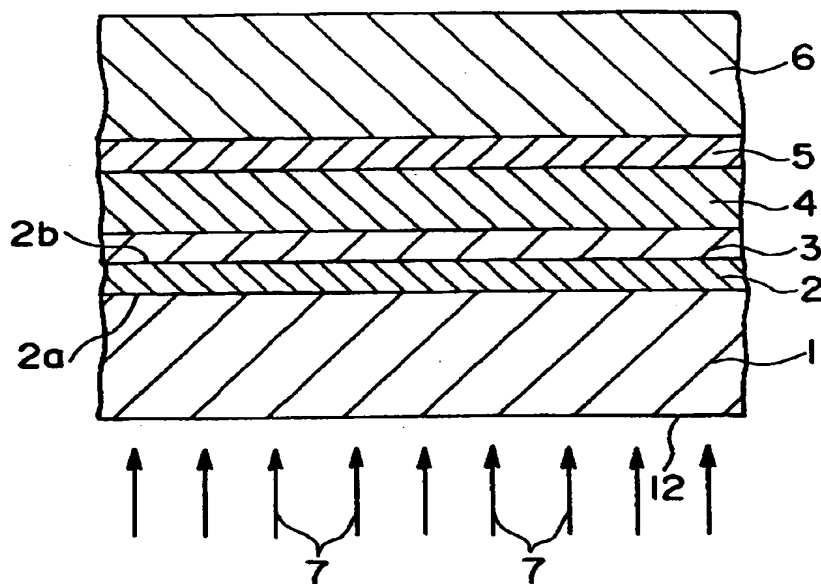
【図3】



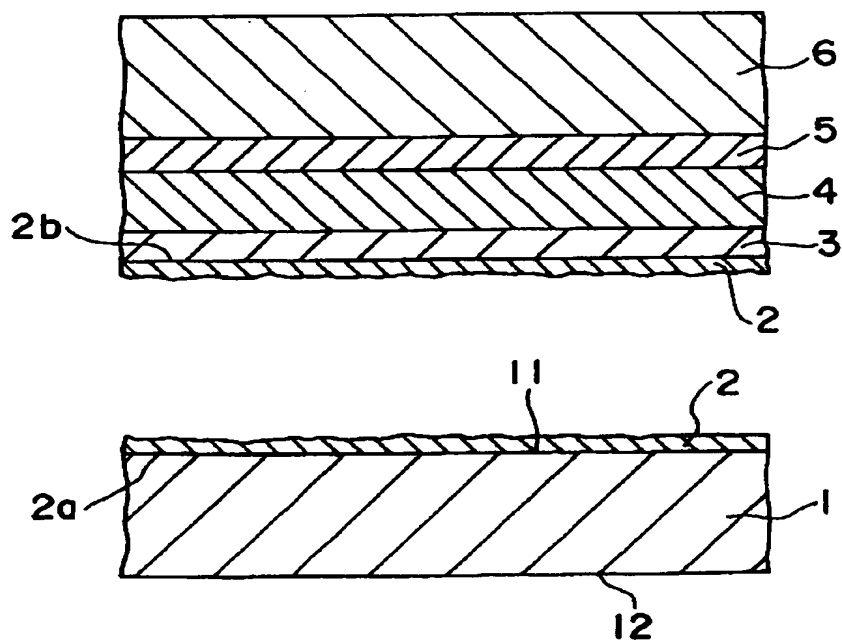
【図4】



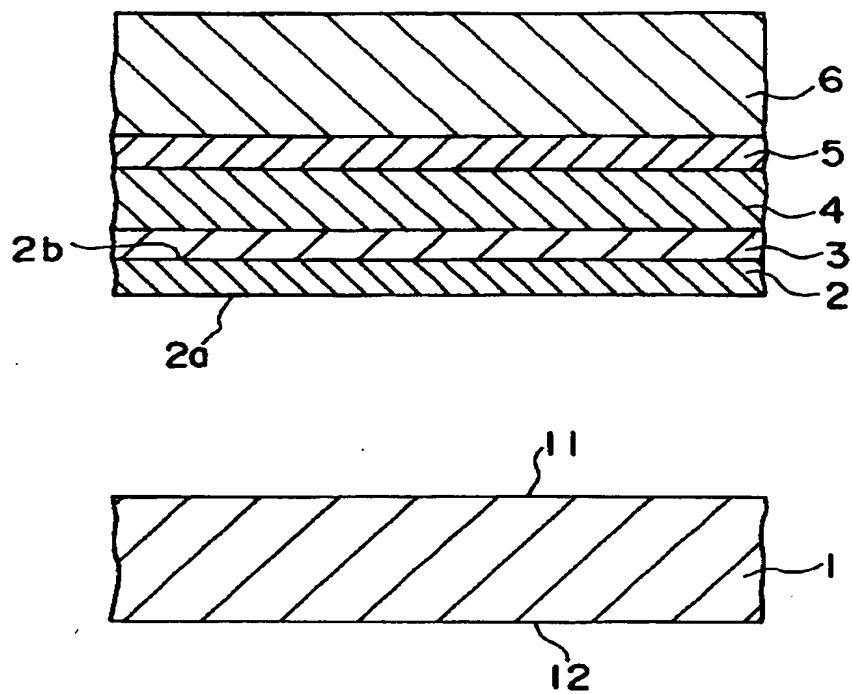
【図 5】



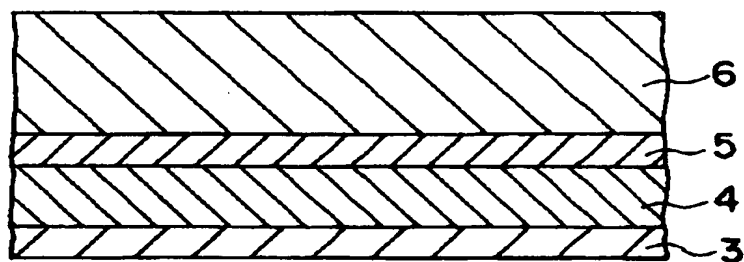
【図 6】



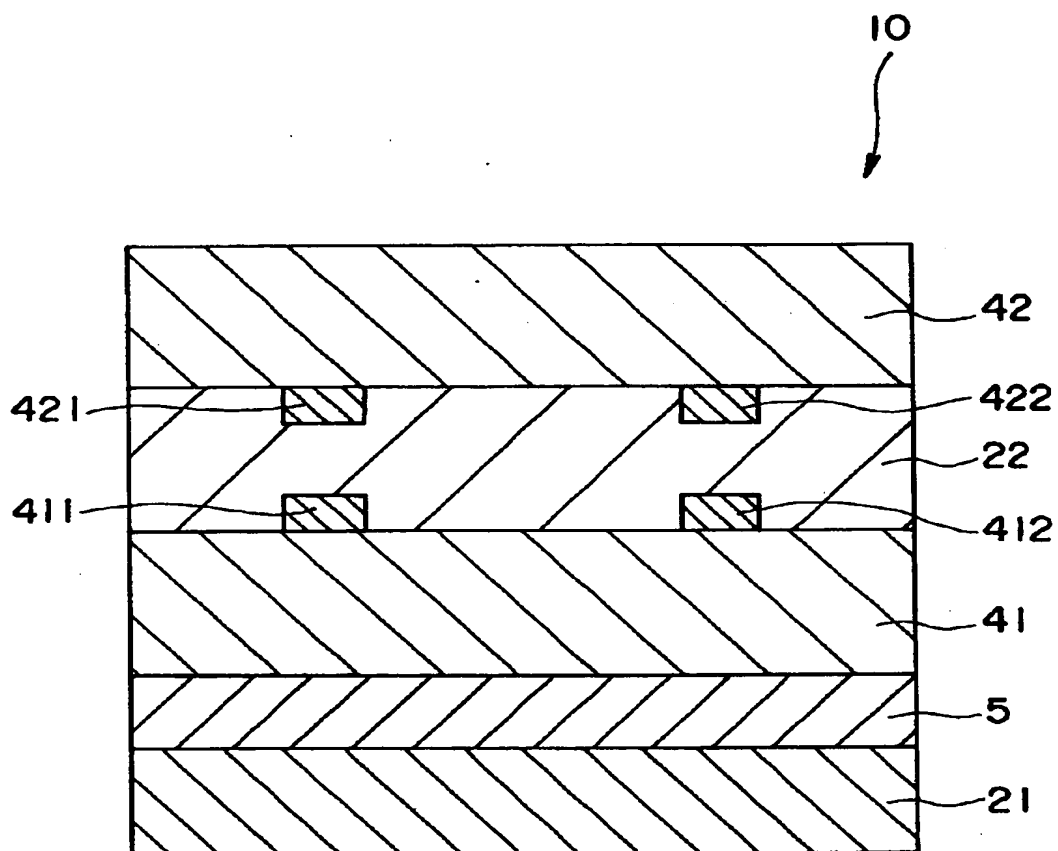
【図7】



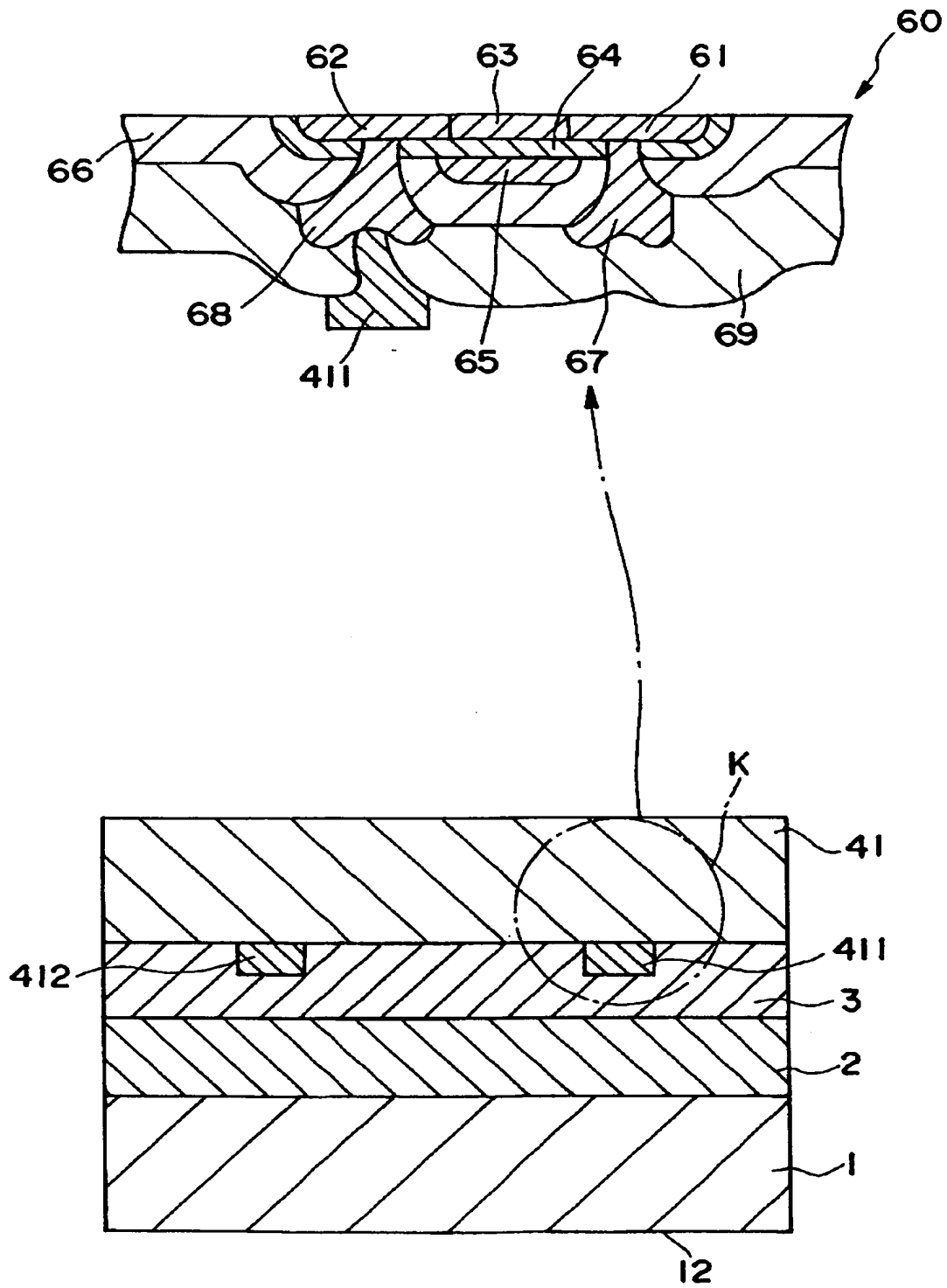
【図8】



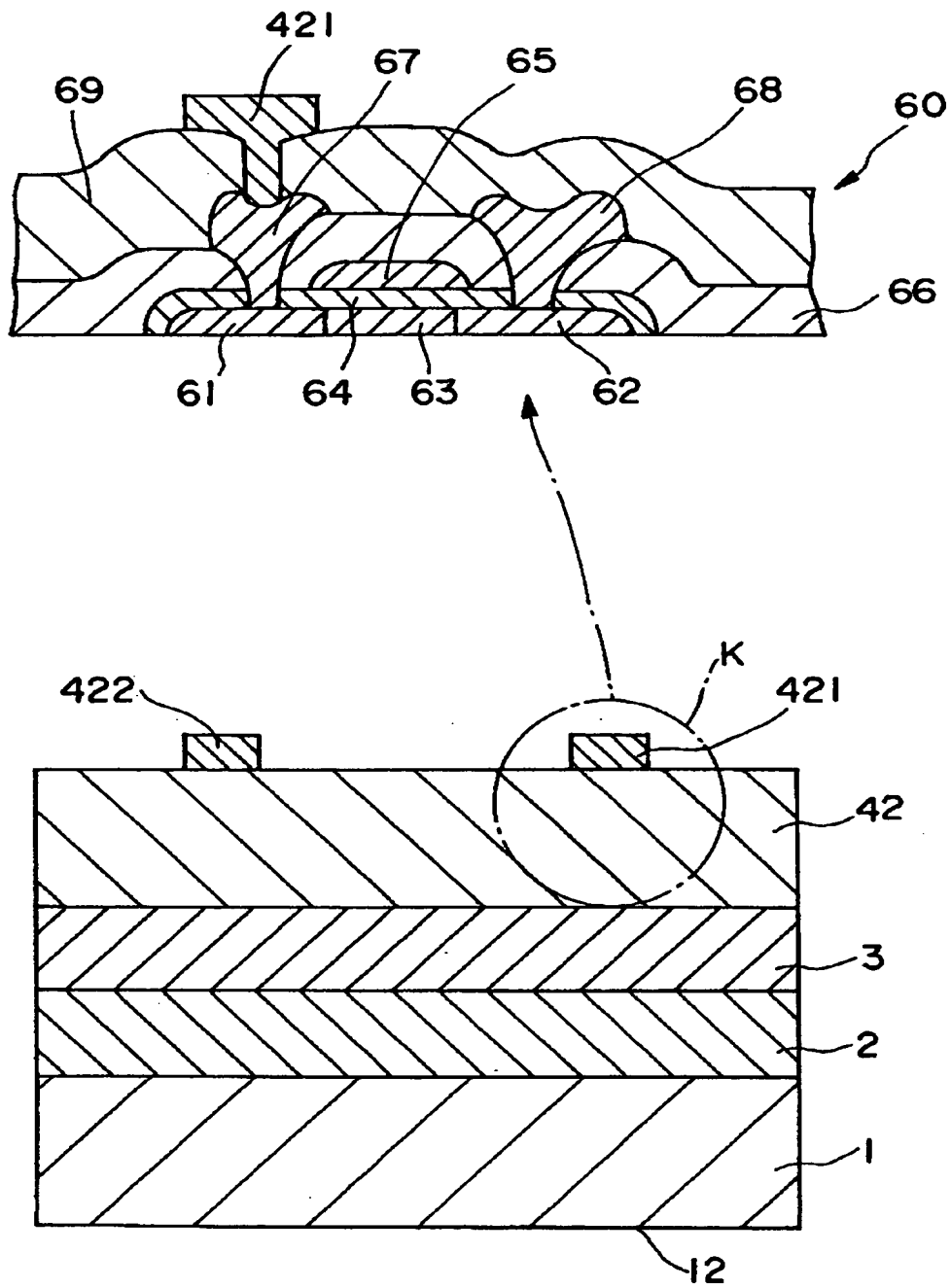
【图9】



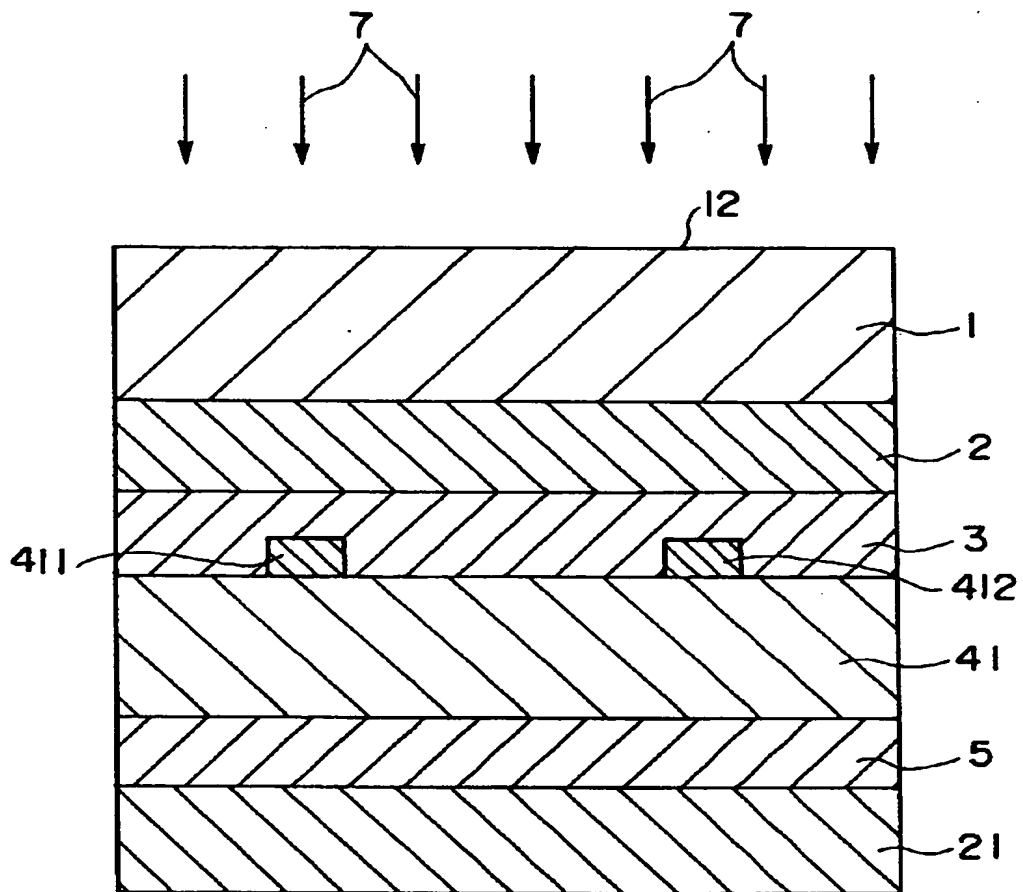
【図 10】



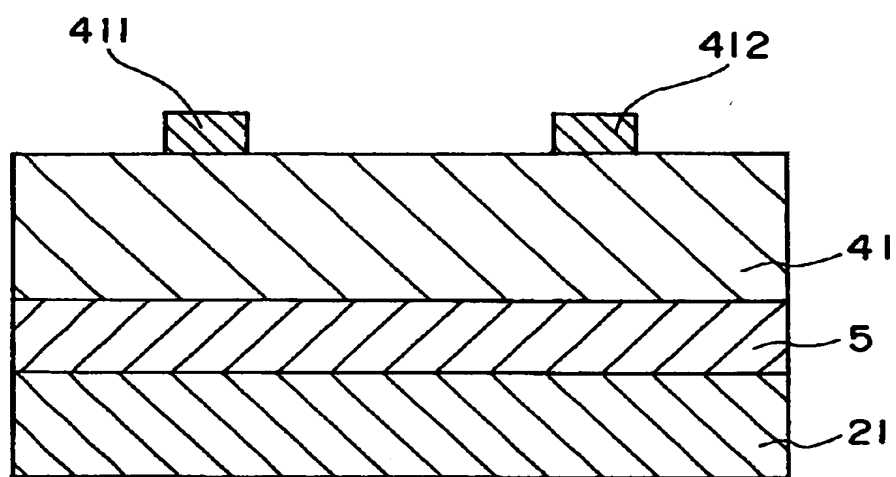
【図 11】



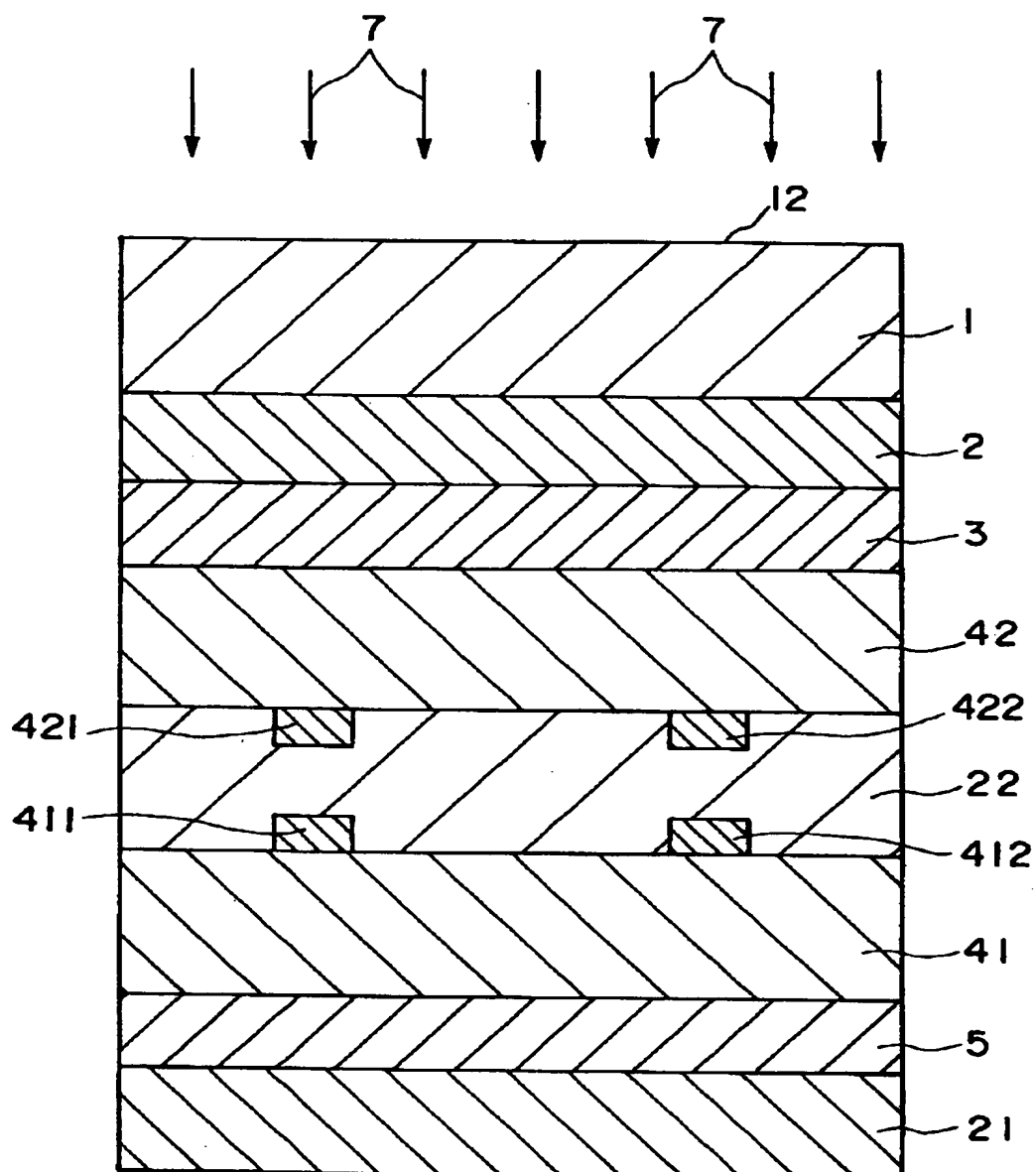
【図 12】



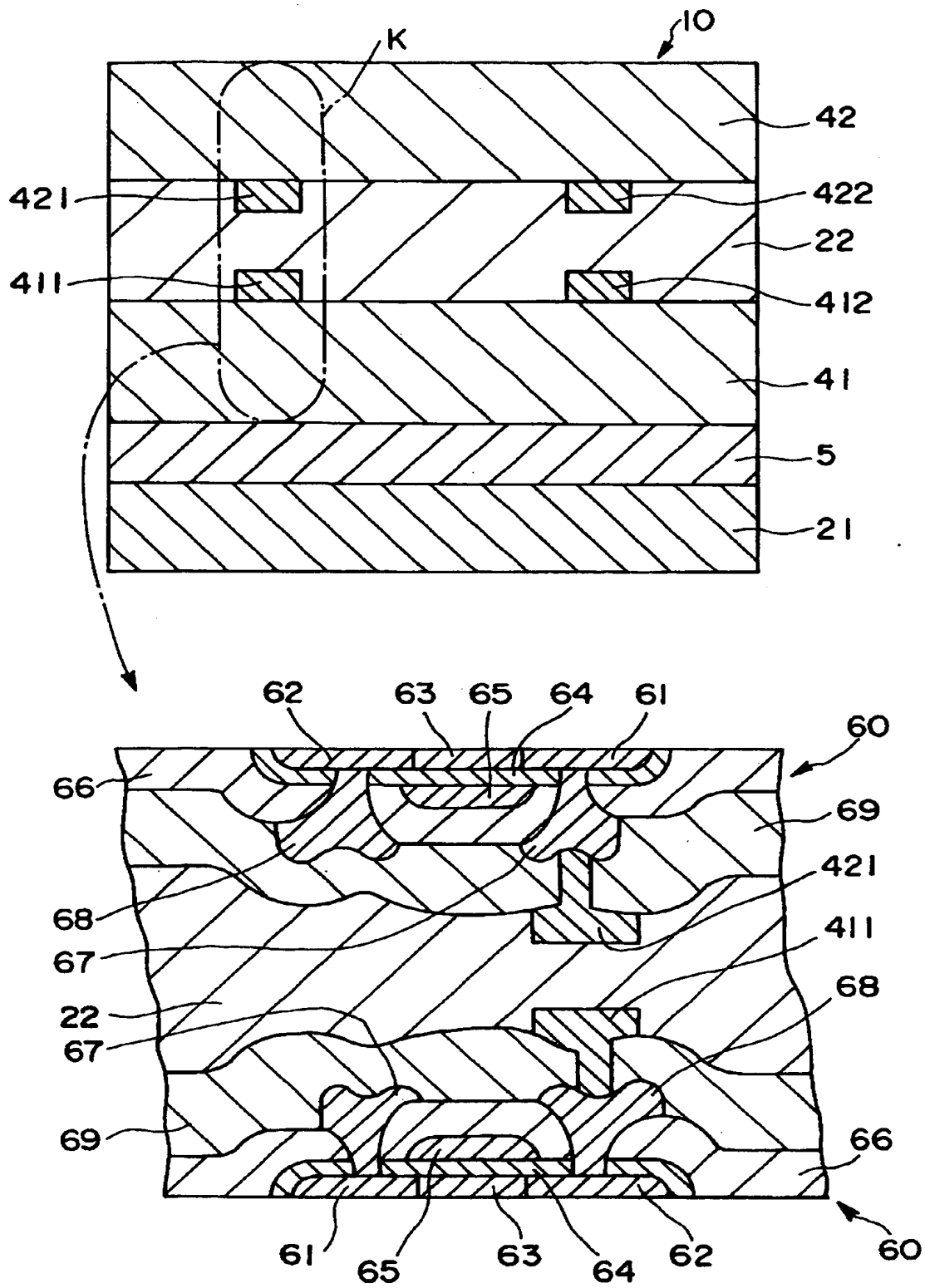
【図 13】



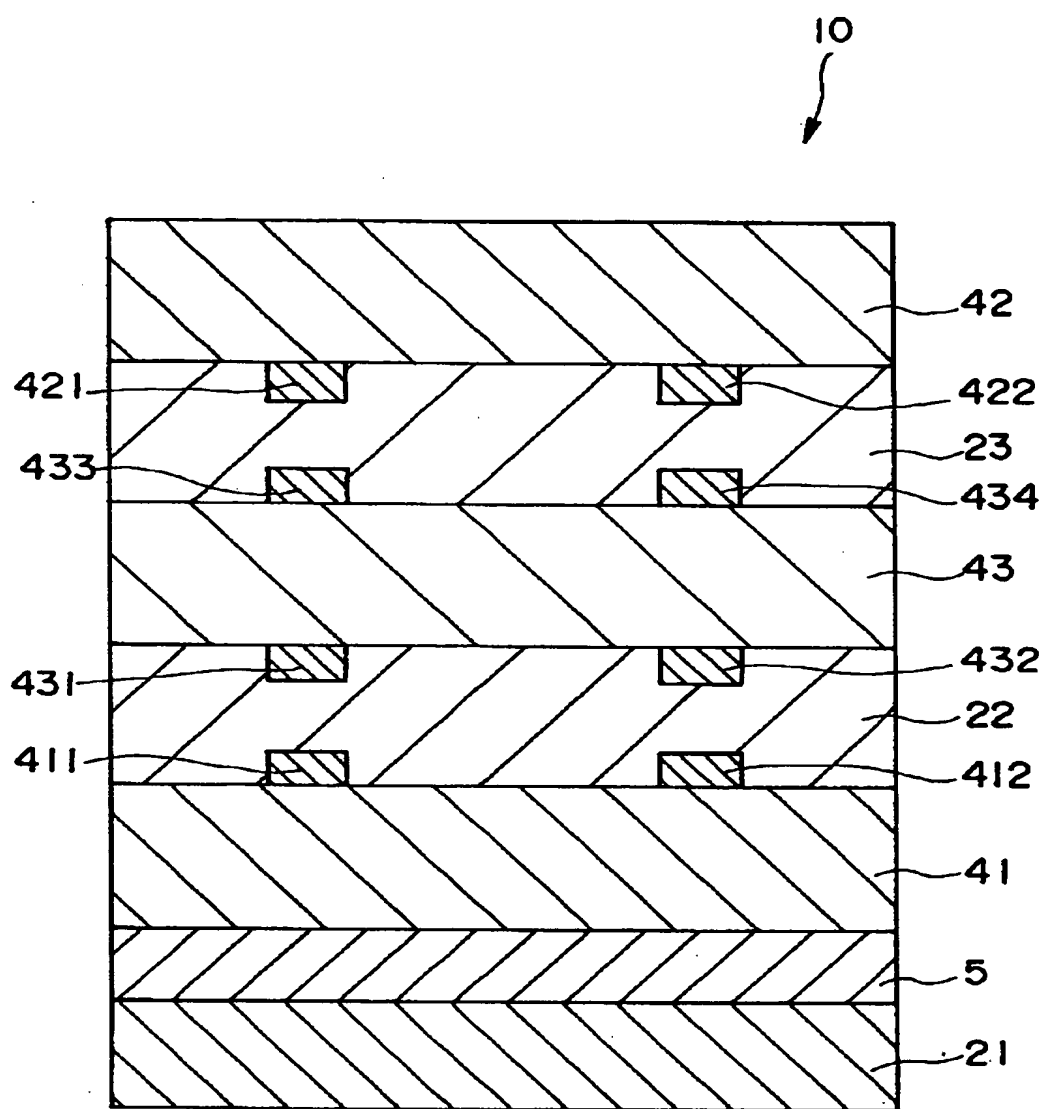
【図 14】



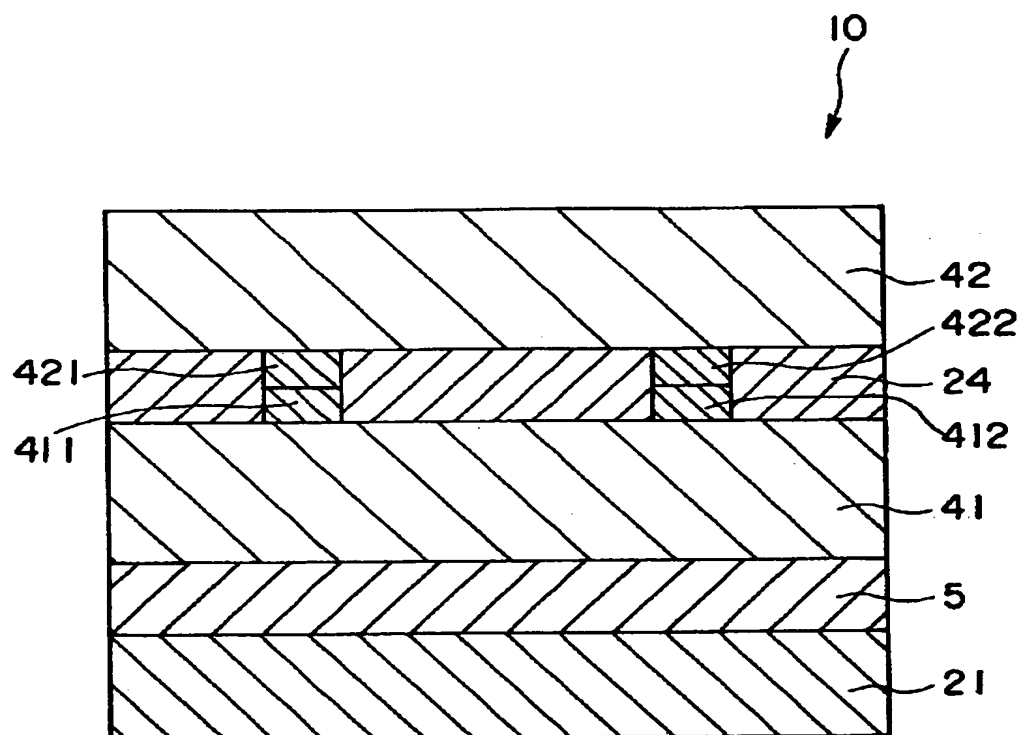
【図 15】



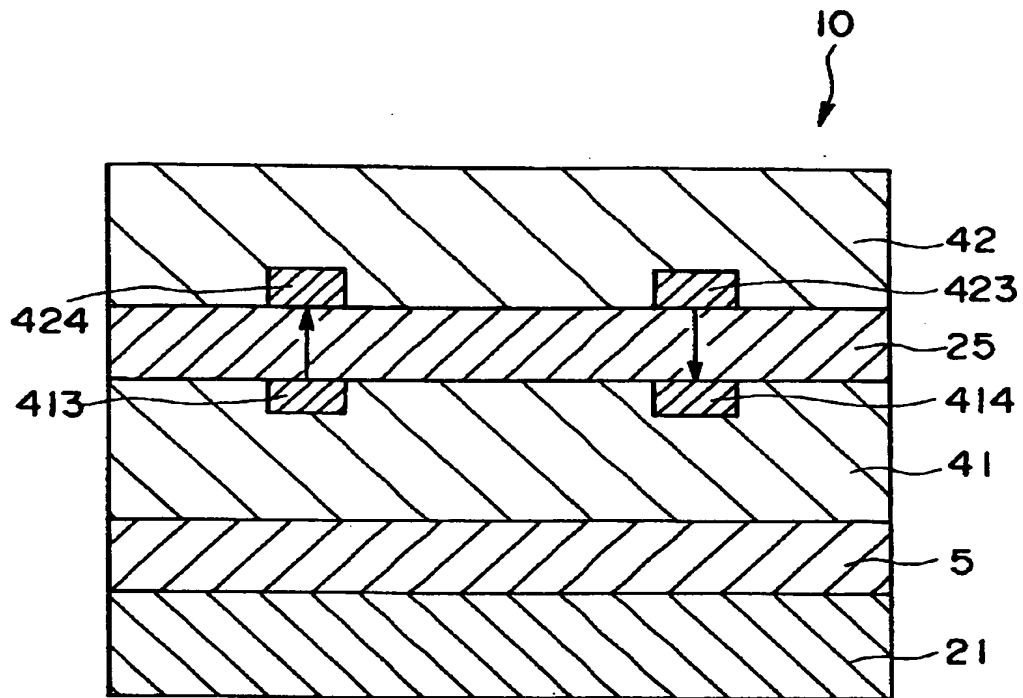
【図 16】



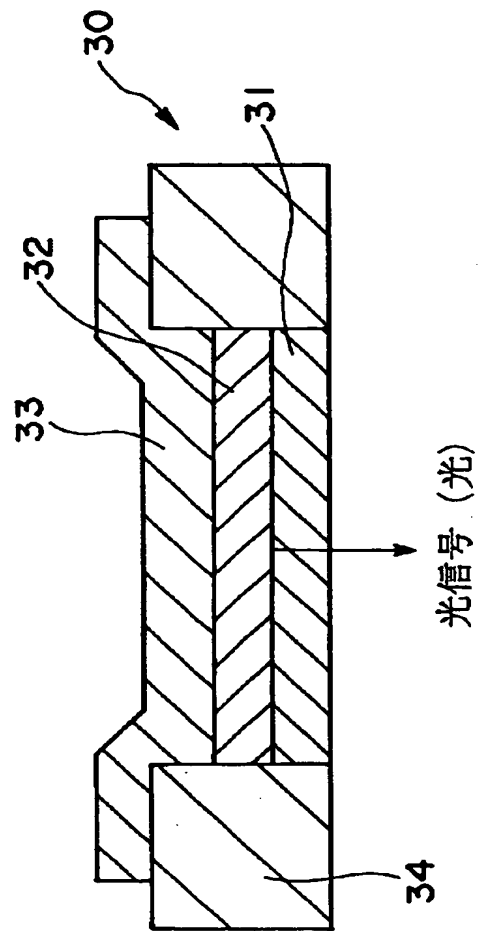
【図 17】



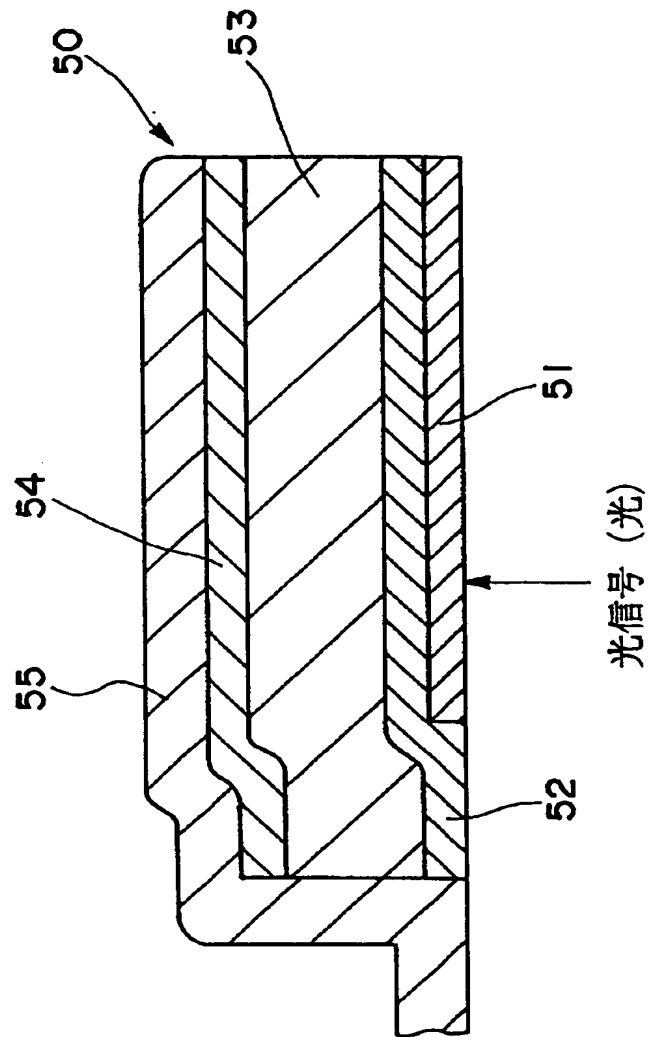
【図 18】



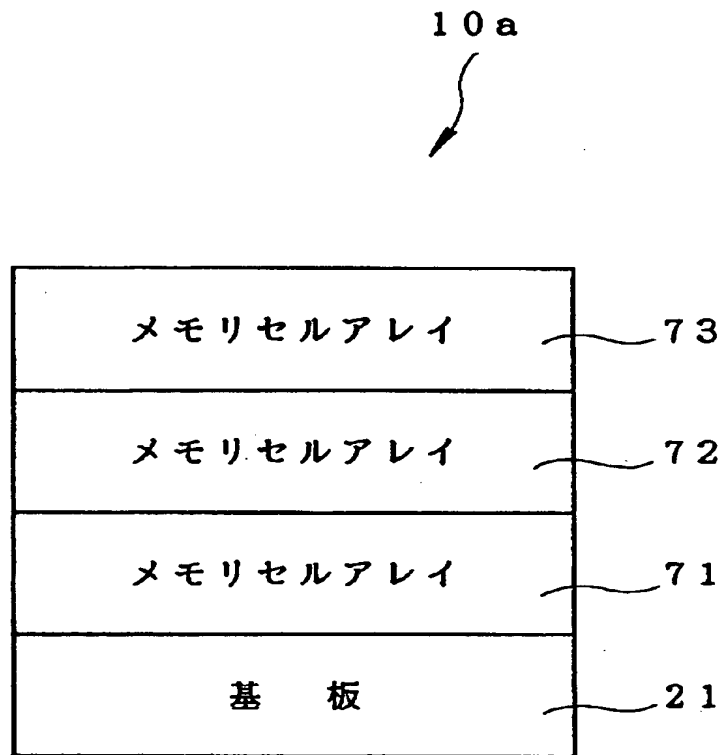
【図 19】



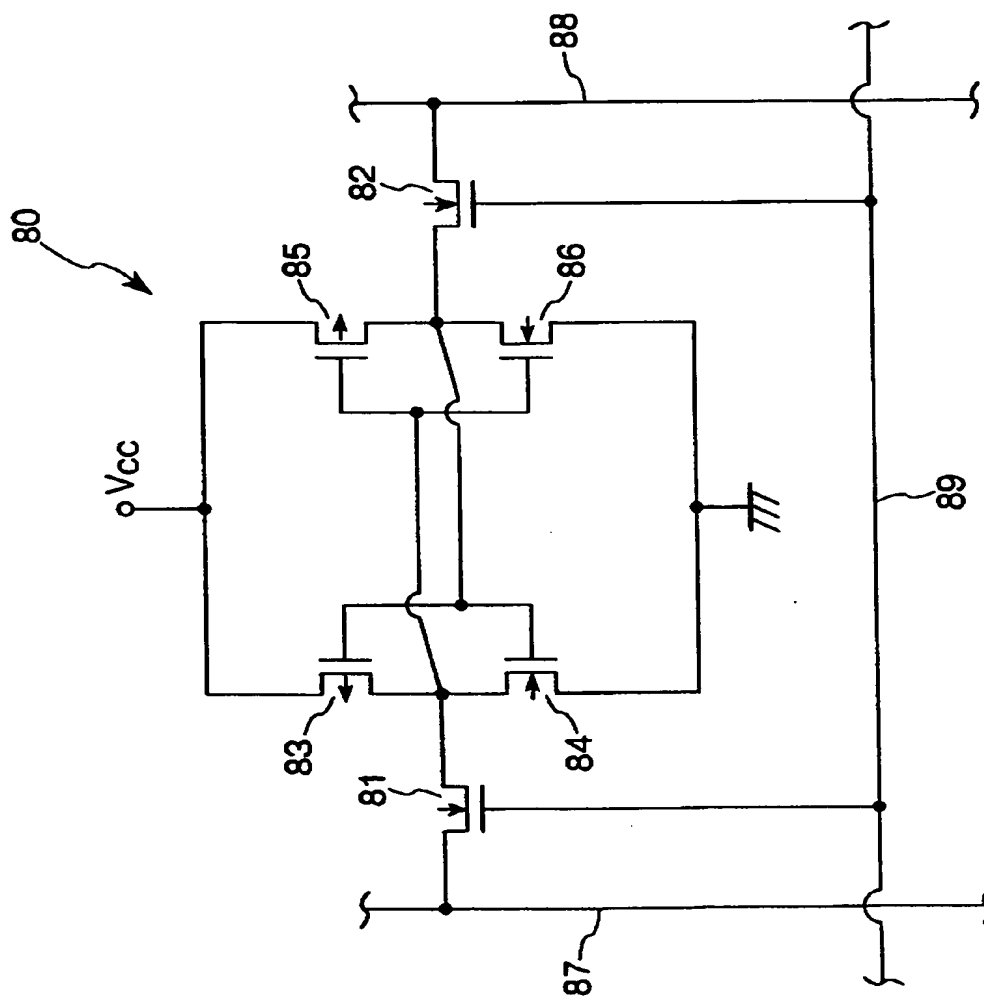
【図 20】



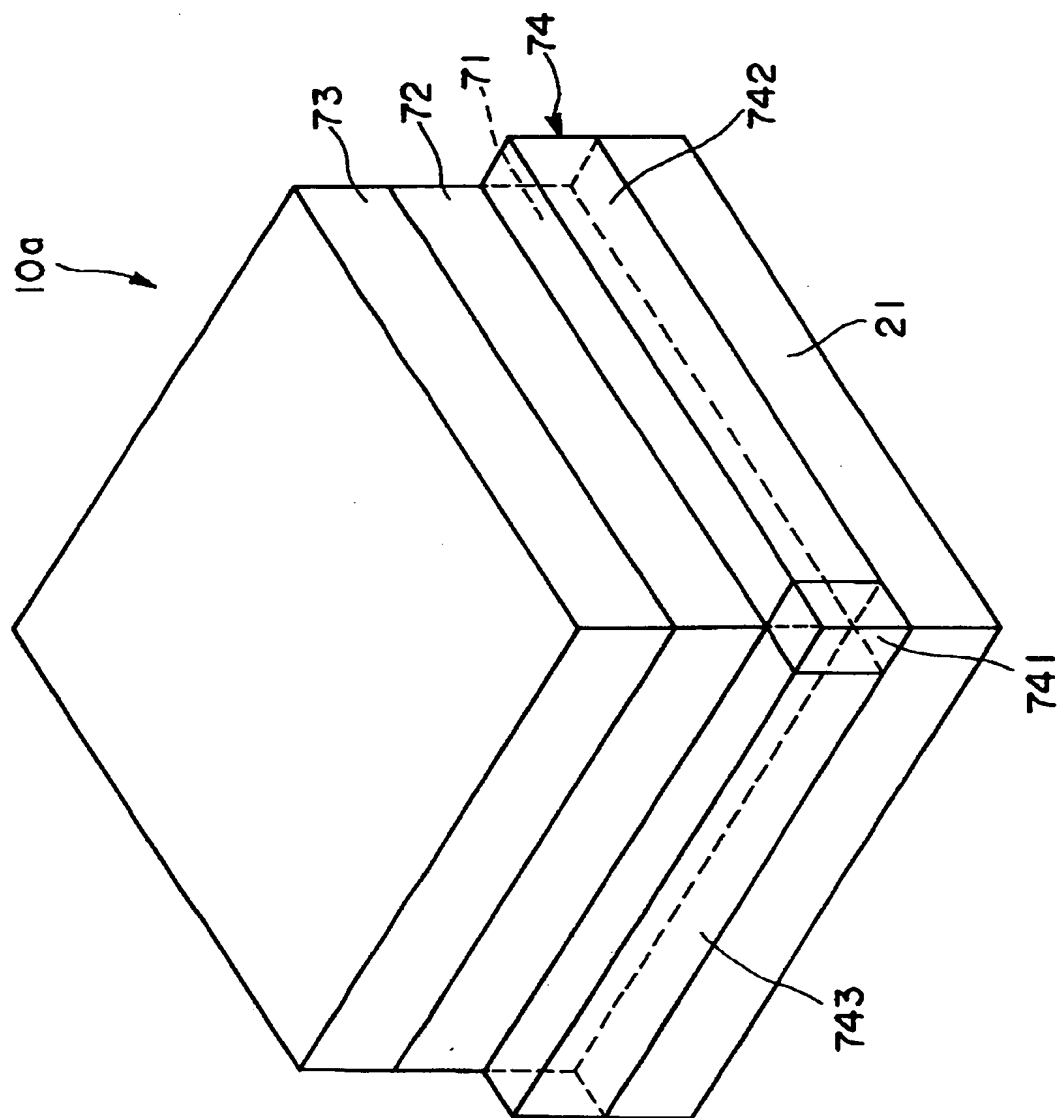
【図 21】



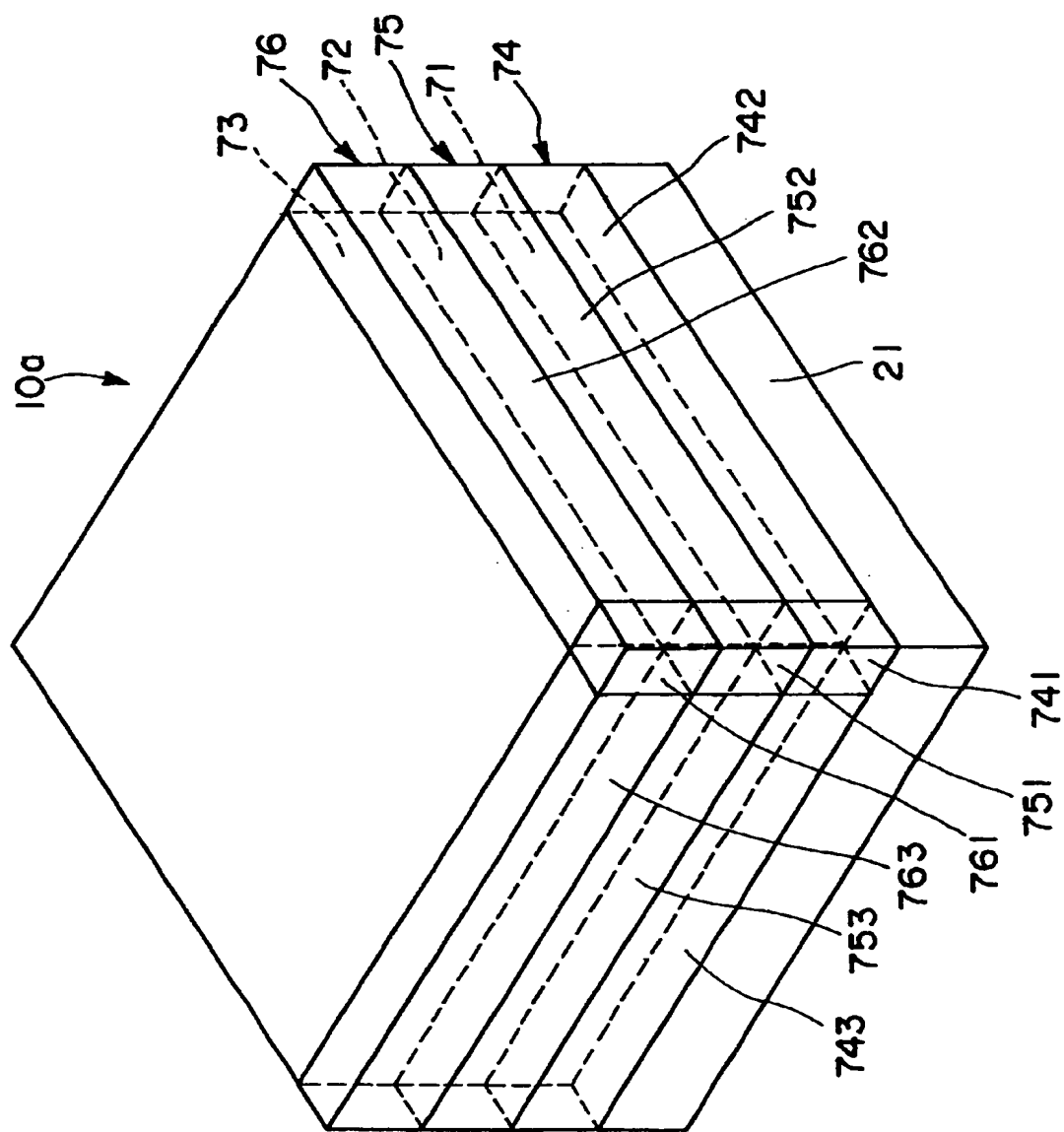
【図 22】



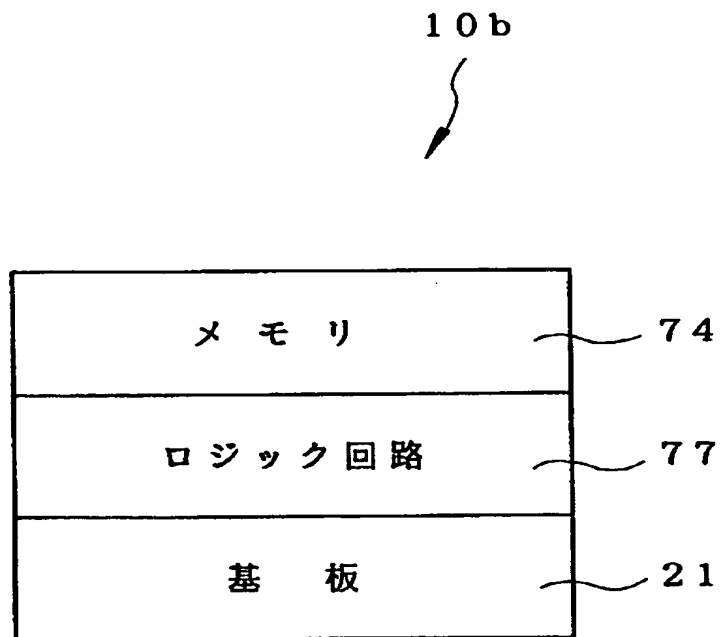
【図 23】



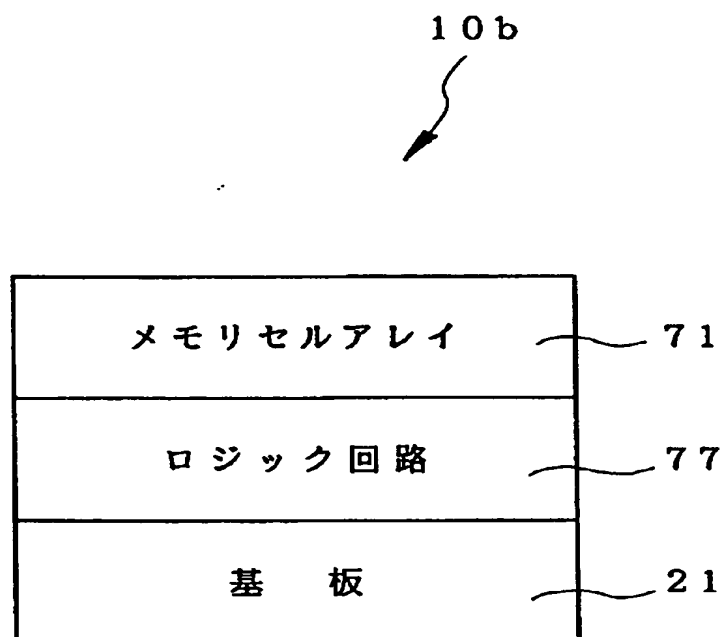
【図 24】



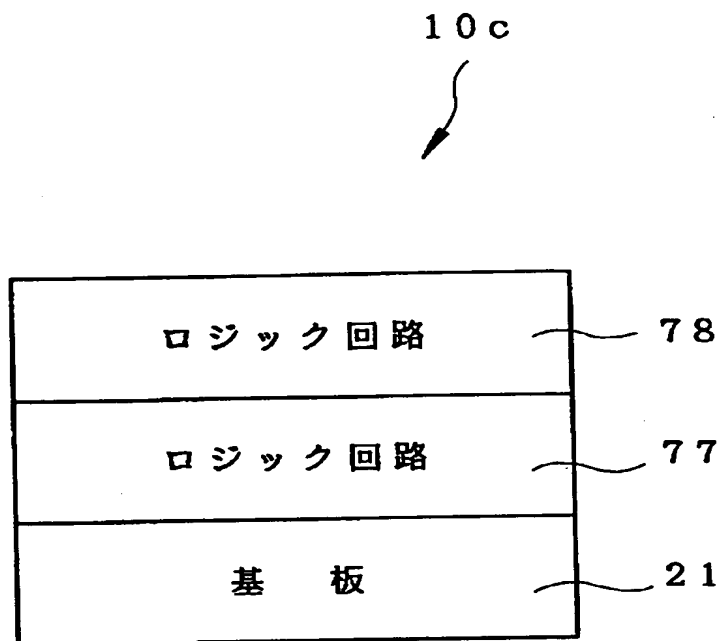
【図 25】



【図 26】



【図 27】



【書類名】要約書

【要約】

【課題】薄膜デバイス層の形成条件の自由度が広く、容易に製造することができる高性能の3次元デバイスを提供する。

【解決手段】メモリIC10aは、基板（転写側基板）21と、この基板21上に積層されたメモリセルアレイ71と、メモリセルアレイ72と、メモリセルアレイ73とを有している。各メモリセルアレイ71、72および73は、それぞれ、薄膜構造の転写法により、図21中下側からこの順序で積層されている。前記転写法は、元基板上に分離層を介して薄膜デバイス層（メモリセルアレイ）を形成した後、前記分離層に照射光を照射して、前記分離層の層内および／または界面において剥離を生ぜしめ、前記元基板上の薄膜デバイス層を基板21側へ転写するものである。

【選択図】図21

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿 2 丁目 4 番 1 号

【氏名又は名称】 セイコーエプソン株式会社

【代理人】 申請人

【識別番号】 100093388

【住所又は居所】 東京都新宿区西新宿 2 丁目 4 番 1 号 セイコーエプソン株式会社内

【氏名又は名称】 鈴木 喜三郎

【選任した代理人】

【識別番号】 100095728

【住所又は居所】 東京都新宿区西新宿 2-4-1 セイコーエプソン株式会社 特許室

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【住所又は居所】 東京都新宿区西新宿 2 丁目 4 番 1 号 セイコーエプソン株式会社内

【氏名又は名称】 須澤 修

特平10-049883

出 願 人 履 歴 情 報

識別番号

[000002369]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

東京都新宿区西新宿2丁目4番1号

氏 名

セイコーエプソン株式会社